

501.43663X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): K. KUROTANI, et al.

Serial No.: 10/812,870

Filed: March 31, 2004

Title: A SEMICONDUCTOR DEVICE AND A METHOD OF
MANUFACTURING THE SAME

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

June 23, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby
claim(s) the right of priority based on:

**Japanese Patent Application No. 2003-093783
Filed: March 31, 2003**

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone
Registration No.: 28,141

GEM/rr
Attachment

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月31日

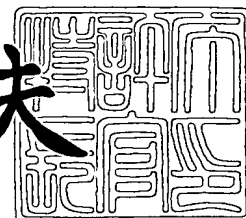
出願番号
Application Number: 特願2003-093783
[ST. 10/C]: [JP2003-093783]

出願人
Applicant(s): 株式会社ルネサステクノロジ

2004年 5月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3042793

【書類名】 特許願

【整理番号】 H03001441

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/08

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 黒谷 欣吾

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 坂本 剛志

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 矢野 道男

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
 製作所 半導体グループ内

 【氏名】 那倉 健一

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100080001

 【弁理士】

 【氏名又は名称】 筒井 大和

 【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に素子形成領域および前記素子形成領域を囲むように配置されたスクライブ領域を有し、

- (a) 前記半導体基板上の素子形成領域に形成された第 1 導電型の半導体層と、
- (b) 前記半導体層上に形成されたゲート絶縁膜と、
- (c) 前記ゲート絶縁膜上に形成されたゲート電極と、
- (d) 前記第 1 導電型と異なる第 2 導電型の第 1 半導体領域からなるソースと、
- (e) 第 1 不純物濃度を有する前記第 2 導電型の第 2 半導体領域と、前記第 1 不純物濃度より高濃度の第 2 不純物濃度を有し、前記第 2 半導体領域より前記ゲート電極から離れた位置に設けられた前記第 2 導電型の第 3 半導体領域とからなるドレインと、
- (f) チャンネル領域が形成される前記第 1 導電型の第 4 半導体領域と、
- (g) 前記ソースと電氣的に接続され、前記半導体基板の裏面に形成された電極と、
- (h) 前記素子形成領域内の、前記半導体基板の表面側に形成され、前記半導体基板と電氣的に接続された評価用のソース電極パッドとを含む横型の電界効果トランジスタを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、前記評価用のソース電極パッドは、前記スクライブ領域に形成されていないことを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、前記評価用のソース電極パッドと前記半導体基板とは、前記半導体層に形成された前記第 1 導電型の第 5 半導体領域を介して接続されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、前記半導体基板上にパッシベーション膜が形成され、前記半導体基板の裏面から前記評価用のソース電極パッドを覆う前記パッシベーション膜の表面までの厚さは $200\text{ }\mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、前記半導体基板の表面側に形成され、前記第 3 半導体領域と電氣的に接続されたドレイン電極パッドおよび前記ゲート電極と電氣的に接続されたゲート電極パッドをさらに含むことを特徴とする半導体装置。

【請求項 6】 (a) 半導体基板上に形成された第 1 導電型の半導体層と、
(b) 前記半導体層上に形成されたゲート絶縁膜と、
(c) 前記ゲート絶縁膜上に形成されたゲート電極と、
(d) 前記第 1 導電型と異なる第 2 導電型の第 1 半導体領域からなるソースと、
(e) 第 1 不純物濃度を有する前記第 2 導電型の第 2 半導体領域と、前記第 1 不純物濃度より高濃度の第 2 不純物濃度を有し、前記第 2 半導体領域より前記ゲート電極から離れた位置に設けられた前記第 2 導電型の第 3 半導体領域とからなるドレインと、
(f) チャンネル領域が形成される前記第 1 導電型の第 4 半導体領域と、
(g) 前記半導体層に形成され、前記第 1 半導体領域と前記半導体基板とを電氣的に接続する前記第 1 導電型の第 6 半導体領域と、
(h) 前記第 1 半導体領域と前記第 6 半導体領域との間に前記半導体層の表面から前記半導体基板に向かって形成された溝とを含む横型の電界効果トランジスタを有することを特徴とする半導体装置。

【請求項 7】 請求項 6 記載の半導体装置において、前記半導体基板の表面側に形成され、前記半導体基板と電氣的に接続された評価用のソース電極パッドをさらに含むことを特徴とする半導体装置。

【請求項 8】 請求項 6 記載の半導体装置において、前記半導体基板の表面側に形成され、前記第 3 半導体領域と電氣的に接続されたドレイン電極パッドおよび前記ゲート電極と電氣的に接続されたゲート電極パッドをさらに含むことを特徴とする半導体装置。

【請求項 9】 請求項 6 記載の半導体装置において、前記溝の深さは $2\ \mu\text{m}$ 以上であることを特徴とする半導体装置。

【請求項 10】 請求項 6 記載の半導体装置において、前記溝の内部に絶縁膜が埋め込まれていることを特徴とする半導体装置。

【請求項 1 1】 請求項 6 記載の半導体装置において、前記溝の内部に導体膜が埋め込まれていることを特徴とする半導体装置。

【請求項 1 2】 請求項 6 記載の半導体装置において、前記第 6 半導体領域の周囲に前記溝が形成されていることを特徴とする半導体装置。

【請求項 1 3】 請求項 6 記載の半導体装置において、前記溝は、前記第 6 半導体領域がチャネル領域へ広がるのを抑制することを特徴とする半導体装置。

【請求項 1 4】 (a) 半導体基板上に形成された第 1 導電型の半導体層と、
(b) 前記半導体層上に形成されたゲート絶縁膜と、
(c) 前記ゲート絶縁膜上に形成されたゲート電極と、
(d) 前記半導体基板と電氣的に接続された前記第 1 導電型と異なる第 2 導電型の第 1 半導体領域からなるソースと、
(e) 第 1 不純物濃度を有する前記第 2 導電型の第 2 半導体領域と、前記第 1 不純物濃度より高濃度の第 2 不純物濃度を有し、前記第 2 半導体領域より前記ゲート電極から離れた位置に設けられた前記第 2 導電型の第 3 半導体領域とからなるドレインと、
(f) チャネル領域が形成される前記第 1 導電型の第 4 半導体領域と、
(g) 前記ソースと電氣的に接続され、前記半導体基板の裏面に形成された電極と、
(h) 前記半導体基板の表面側に形成され、前記半導体基板と電氣的に接続された評価用のソース電極パッドとを含む横型の電界効果トランジスタを形成した後、

前記半導体基板の裏面側に補強テープを貼り付け、前記評価用のソース電極パッドにプローブを立てて前記電界効果トランジスタの特性を測定することを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 1 4 記載の半導体装置の製造方法において、前記半導体基板の裏面側に前記補強テープを貼り付ける前に、前記半導体基板の裏面を研削することを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 1 4 記載の半導体装置の製造方法において、前記半

導体基板の裏面側に前記補強テープを貼り付けた状態で、前記半導体基板をダイシングすることを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 14 記載の半導体装置の製造方法において、前記半導体基板の裏面側に前記補強テープを貼り付けた状態で、前記半導体基板をスクライピングすることを特徴とする半導体装置の製造方法。

【請求項 18】 横型の電界効果トランジスタを有する半導体装置の製造方法であって、

- (a) 半導体基板上に第 1 導電型の半導体層を形成する工程と、
- (b) 前記半導体層に溝を形成する工程と、
- (c) 前記半導体層に第 1 不純物を導入することにより、前記溝からチャネル領域と反対側の前記半導体層に、前記半導体基板に到達する前記第 1 導電型の第 6 半導体領域を形成する工程と、
- (d) 前記半導体層上にゲート絶縁膜を形成する工程と、
- (e) 前記ゲート絶縁膜上にゲート電極を形成する工程と、
- (f) 前記半導体層に第 2 不純物を導入することにより、端部が前記ゲート電極の一方の端部に一致するような状態で、前記第 1 導電型と異なる第 2 導電型のドレイン用の第 2 半導体領域を形成する工程と、
- (g) 前記半導体層に第 3 不純物を導入することにより、端部が前記ゲート電極の一方の端部から前記第 1 半導体領域分離れた位置に、前記第 2 導電型のドレイン用の第 3 半導体領域と、端部が前記ゲート電極の他方の端部に一致するような状態で、前記第 2 導電型のソース用の第 1 半導体領域とを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 18 記載の半導体装置の製造方法において、前記 (b) 工程の後に、前記溝を絶縁膜で埋め込む工程をさらに有することを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 18 記載の半導体装置の製造方法において、前記 (c) 工程の後に、前記溝を絶縁膜または導電体で埋め込む工程をさらに有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、横型の電界効果トランジスタ（Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor：LDMOS・FET）を有する半導体装置およびその製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】

LDMOS・FET（以下、単にLDMOSと記す）は、バイアス回路の簡素化、高電力利得など様々な長所をもたらすことことから、近年バイポーラ・トランジスタに代わり、携帯電話基地局またはデジタル・テレビ放送局送信機の高周波電力増幅に用いられている。

【0003】

LDMOSは、 p^+ 基板上に成長させた p エピタキシャル層に形成され、ゲート、ゲート端部下に達する n^+ ソース領域、ゲート端部下に達する n -ドレイン領域、ゲート端部から n -ドレイン領域分だけ離れた n^+ ドレイン領域、チャネル領域が形成される p ウェルによって構成されている。

【0004】

LDMOSの n^+ ソース領域および n^+ ドレイン領域はチップ表面側に位置するが、ソース電極をチップ裏面側の p^+ 基板とするため、 n^+ ソース領域は水平方向に拡散した低抵抗の p^+ ソース打ち抜き層または導電体によってチップ裏面側の p^+ 基板に接続されている（例えば、特許文献1参照）。 p^+ ソース打ち抜き層または導体膜を介して n^+ ソース領域を p^+ 基板に接続することにより、 n^+ ソース領域のインダクタンスまたは抵抗を下げて、LDMOSの高周波電力利得の低下を防止している。

【0005】

【特許文献1】

特開平5-218321号公報

【0006】

【発明が解決しようとする課題】

LDMOSにおいて、さらに高利得を得るためには、①p+基板の厚さを薄くする、②p+ソース打ち抜き層の平面積を拡大する、または③p+ソース打ち抜き層の濃度を高くすることによって、n+ソース領域のインダクタンスまたは抵抗を下げる必要がある。しかしながら、上記方法においては、以下の課題があることを本発明者らは見いだした。

【0007】

まず、①p+基板の厚さを薄くする方法では、p+基板の厚さを薄くするに従ってp+基板の反り量が増大し、ウエハ（LDMOSが作り込まれた複数のチップを配列した平面略円形状の基板）の取り扱いが難しくなるという問題がある。特にp+基板の裏面を研削して、LDMOSを覆うパッシベーション膜の表面からp+基板の裏面までの厚さを200 μ m以下とした後、ウエハ上に作られた1個1個のチップの良・不良を判定するプローブ検査工程において、ウエハ割れによる製造歩留まりの低下が生じた。すなわち、このプローブ検査ではウエハを測定用ステージに載置し、真空吸着した後に、ウエハを測定用ステージに載置した状態でプローブ測定部に移動し、プローブ（探針）をチップ表面側のゲート用電極パッドおよびドレイン用電極パッドに接触させてLDMOSの特性測定が行われるが、ウエハの真空吸着またはウエハの搬送においてウエハに強い力が働き、容易にウエハが割れてしまう。

【0008】

そこで、本発明者らは上記プローブ検査工程におけるウエハ割れの対策として、ウエハの裏面側にテープを貼り付けてウエハを補強する検討を行った。従来、LDMOSのn+ソース領域は、前述したようにp+ソース打ち抜き層または導電体を介してp+基板に接続し、p+基板をソース電極としている。このため、ウエハの裏面側にテープを貼り付けるプローブ検査では、プローブ検査用のソース電極パッドをウエハの表面側に設ける必要がある。

【0009】

しかしながら、ウエハの表面側にソース電極パッドを設けると、ソース電極パッドはゲート電極パッドとの間で寄生容量を持つため、正確なLDMOSの高周

波特性を測定することが難しくなる。またウエハの表面側に設けられたソース電極用のパッドを、各チップの周囲4辺に持つスクライブ領域に形成してゲート電極用のパッドから離すことにより、寄生容量を低減することも検討された。しかし、通常スクライブ領域には、TEGパターン、合わせ用パターン、寸法パターンなどが形成され、また縮小投影法を用いたリソグラフィ技術では、合わせ精度を高めるため、合わせ用のターゲット類は全てショットの最外周の四隅に置かれることから、ソース電極パッドを形成することができるスクライブ領域を全てのチップに提供することができない。

【0010】

次に、②p+ソース打ち抜き層の平面積を拡大する方法では、p+ソース打ち抜き層がLDMOSのチャネル領域に到達して、オン抵抗またはしきい値電圧が大きくなり、所望するLDMOSの静特性が得られないという問題がある。p+ソース打ち抜き層がLDMOSのチャネル領域に到達しないように、p+ソース打ち抜き層を形成する際のp型不純物の拡散開始箇所をチャネル領域から離すことができる。しかしながら、p+ソース打ち抜き層の深さをpエピタキシャル層の厚さ以上とし、p+ソース打ち抜き層をウエハに到達させてpエピタキシャル層の低抵抗成分がn+ソース領域に入らないようにしなければならないため、p型不純物の拡散開始箇所からゲートの端部までの距離をp+ソース打ち抜き層の深さ以上とする必要がある。このため、単位LDMOSのピッチが大きくなり、ドレイン電流を確保するためには、ゲートフィンガー長を長くする必要がある。その結果、ゲートまたはドレイン配線電極の抵抗が増加し、また寄生インダクタンスまたは寄生容量が増加して、LDMOSの高周波特性を悪化させてしまう。

【0011】

次に、③p+ソース打ち抜き層の濃度を高くする方法では、上記②と同様に、p+ソース打ち抜き層を形成する際のp型不純物の拡散開始箇所をチャネル領域から離す必要があり、LDMOSの高周波特性を悪化させてしまう。

【0012】

本発明の目的は、LDMOSの高周波電力利得を向上させることのできる技術を提供することにある。

【0013】

また、本発明の目的は、チップ小型化により LDMOS の取得数を向上することのできる技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

本発明は、 p^+ 型のシリコン基板上に素子形成領域および素子形成領域を囲むように配置されたスクライブ領域を有し、シリコン基板上の素子形成領域に形成された p 型の半導体層と、半導体層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、 n^+ 型半導体領域からなるソースと、第1不純物濃度を有する n^- 型半導体領域および第1不純物濃度より高濃度の第2不純物濃度を有し、 n^- 型半導体領域よりゲート電極から離れた位置に設けられた n^+ 型半導体領域からなるドレインと、チャネル領域が形成される p 型ウェルと、ソースと電氣的に接続され、シリコン基板の裏面に形成された電極とを含む横型の電界効果トランジスタにおいて、シリコン基板の表面側の素子形成領域内に、シリコン基板と電氣的に接続された評価用のソース電極パッドが形成されているものである。

【0017】

また、本発明は、 p^+ 型のシリコン基板上に形成された p 型の半導体層と、半導体層上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、 n^+ 型半導体領域からなるソースと、第1不純物濃度を有する n^- 型半導体領域と、第1不純物濃度より高濃度の第2不純物濃度を有し、 n^- 型半導体領域よりゲート電極から離れた位置に設けられた n^+ 型半導体領域とからなるドレインと、チャネル領域が形成される p 型ウェルと、半導体層に形成され、ソースを構

成する n+型半導体領域とシリコン基板とを電氣的に接続する p+型ソース打ち抜き層とを含む横型の電界効果トランジスタにおいて、ソースを構成する n+型半導体領域と p+型ソース打ち抜き層との間に半導体層の表面からシリコン基板に向かって溝が形成されているものである。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0020】

（実施の形態1）

図1は、本実施の形態1である1チップに形成された1つの高周波パワートランジスタの一例を示す半導体基板の要部レイアウト図、図2は、LDMOSの一部を拡大した半導体基板の要部レイアウト図、図3は、図2のA-A'線およびB-B'線における半導体基板の要部断面図である。図2および図3に示す第1

LDMOSTr₁は繰り返しの最小単位であり、この単位素子である第1 LDMOSTr₁が複数個並列に接続されて、図1に示す1つ高周波パワートランジスタが構成されている。

【0021】

チップ1を構成する基板2は、例えば1～15 mΩcm程度の比抵抗を有するp⁺型（第1導電型）のシリコン単結晶からなるシリコン基板（半導体基板）2a上に、例えば10 μm程度の厚さのp型の半導体層（例えば、気相成長法などにより形成されるエピタキシャル層）2bが形成された構成を有している。半導体層2bには、p型ウェル3（第4半導体領域）が、例えばボロンなどのp型不純物をイオン注入法を用いて導入することにより形成されている。

【0022】

基板2の主面（すなわち半導体層2bの主面）には、第1 LDMOSTr₁が形成されている。第1 LDMOSTr₁のゲート絶縁膜4は、例えば熱酸化法などによって形成された酸化シリコン膜からなる相対的に薄い絶縁膜である。第1 LDMOSTr₁のゲート電極5は、例えば半導体層2bの主面上に形成された多結晶シリコン膜をリソグラフィ技術およびエッチング技術を用いてパターンニングすることにより形成され、第1 LDMOSTr₁のチャネル領域（図示は省略）は、ゲート電極5の下p型ウェル3の上部に形成される。

【0023】

第1 LDMOSTr₁のソースはn⁺型（第2導電型）半導体領域（第1半導体領域）6によって構成され、このn⁺型半導体領域6は、ゲート電極5の一方の端部にまで延びるような状態でp型ウェル3に形成されている。また第1 LDMOSTr₁のドレインはn⁻型半導体領域（第2半導体領域）7とn⁻型半導体領域7よりもn型不純物の濃度が高く設定されたn⁺型半導体領域（第3半導体領域）8とによって構成される。n⁻型半導体領域7は、ゲート電極5の他方の端部にまで延びるような状態で形成され、n⁺型半導体領域8は、ゲート電極5からn⁻型半導体領域7分だけ離間して形成されている。n⁻型半導体領域7およびn⁺型半導体領域6、8は、それぞれヒ素などのn型不純物をイオン注入法などを用いて導入することにより形成される。

【0024】

半導体層 2 b には、p⁺型ソース打ち抜き層 9、9 a が、例えばボロンなどの p 型不純物をイオン注入法などを用いて導入することにより形成されている。p⁺型ソース打ち抜き層（第 6 半導体領域）9 は、ソースを構成する n⁺型半導体領域 6 に接して半導体層 2 b の表面からシリコン基板 2 a に到達している。また p⁺型ソース打ち抜き層 9（第 5 半導体領域）a も半導体層 2 b からシリコン基板 2 a に到達しており、p⁺型ソース打ち抜き層 9 a は、後述するチップ 1 の表面側に設けられるプローブ検査用のソース電極パッドとシリコン基板 2 a との間の半導体層 2 b に形成されている。

【0025】

半導体層 2 b の主面上には、ゲート電極 5 を覆うように、例えば酸化シリコン膜などからなる絶縁膜 10 が形成されている。絶縁膜 10 には、ソースを構成する n⁺型半導体領域 6、ドレインを構成する n⁺型半導体領域 8、p⁺型ソース打ち抜き層 9、9 a およびゲート電極 5 の引き出し部 5 a を露出するコンタクトホール 11 が形成されている。

【0026】

絶縁膜 10 の上層には、1 層目の配線によってソースを構成する n⁺型半導体領域 6 と p⁺型ソース打ち抜き層 9 とを接続するソース電極 12 a、ドレインを構成する n⁺型半導体領域 8 に接続するドレイン電極 12 b、隣接する 2 つのゲート電極 5 に接続するゲート接続電極 12 c および p⁺型ソース打ち抜き層 9 a に接続するソース引き上げ電極 12 d が形成されている。これら電極 12 a ~ 12 d は、例えば絶縁膜 10 の上層に堆積したアルミニウム合金膜などの金属膜をリソグラフィ技術およびエッチング技術を用いてパターンニングすることにより形成することができる。さらにこれら電極 12 a ~ 12 d を覆うように、例えば酸化シリコン膜などからなる絶縁膜 13 が形成されており、絶縁膜 13 には、ドレイン電極 12 b、ゲート接続電極 12 c およびソース引き上げ電極 12 d を露出するコンタクトホール 14 が形成されている。

【0027】

絶縁膜 13 の上層には、2 層目の配線によって p⁺型ソース打ち抜き層 9 a に

ソース引き上げ電極 12 d を介して電氣的に接続するプローブ検査用のソース電極パッド 15 a、ドレイン電極 12 b に電氣的に接続するドレイン電極パッド 15 b、ゲート電極 5 にゲート接続電極 12 c を介して電氣的に接続するゲート電極パッド 15 c が形成されている。このように、ソース電極パッド 15 a、ドレイン電極パッド 15 b、ゲート電極パッド 15 c はチップ 1 の表面側に形成されていることから、1 個 1 個のチップの良・不良を判定するプローブ検査工程において、プローブ（探針）を全てチップ 1 の表面側から接触させることができる。なおこれら電極パッド 15 a ～ 15 c は、例えば絶縁膜 13 の上層に堆積したアルミニウム合金膜などの金属膜をリソグラフィ技術およびエッチング技術を用いてパターニングすることにより形成することができる。

【0028】

さらに、これら電極パッド 15 a ～ 15 c を覆うように、パッシベーション膜 16 が形成されており、パッシベーション膜 16 には、電極パッド 15 a ～ 15 c を露出する開口部 17 が形成されている。またこれら電極パッド 15 a ～ 15 c は、ウエハを 1 個 1 個のチップ 1 に切り分ける際の切り代となる約 100 μ m 程度の幅のスクライプ領域にではなく、スクライプ領域以外の領域、すなわちチップ 1 上の素子形成領域に形成される。

【0029】

シリコン基板 2 a の裏面（半導体層 2 b を形成した面と反対側の面）には、例えば金属膜からなる裏面電極 18 が形成されている。ソースを構成する n⁺型半導体領域 6 は、ソース電極 12 a および p⁺型ソース打ち抜き層 9 を介して裏面電極 18 と電氣的に接続されており、この裏面電極 18 は、高周波パワートランジスタを駆動する際の第 1 LDMOST r₁ のソース用の電極となる。すなわち、チップ 1 の表面側に設けられたソース電極パッド 15 a はプローブ検査に用いられ、裏面電極 18 はソース用の電極として高周波パワートランジスタの駆動に用いられる。

【0030】

なお、シリコン基板 2 の裏面に裏面電極 18 を形成する前に、シリコン基板 2 a を研削することにより、パッシベーション膜 16 の表面からシリコン基板 2 a

の裏面までの厚さを $200\mu\text{m}$ 以下としている。このように、シリコン基板 2 a の厚さを薄くすることにより、ソースの抵抗またはインダクタンスを低減することができる。またチップ 1 の表面側に設けられたプローブ検査用のソース電極パッド 15 a は、1 層目または 2 層目の配線を引きまわすのではなく、半導体層 2 b に形成された p⁺型ソース打ち抜き層 9, 9 a およびシリコン基板 2 a を介してソース電極 12 と電氣的に接続されているので、ソース電極パッド 15 a をチップ 1 の表面側に形成しても寄生容量の増加を抑えることができる。

【0031】

図 4 (a) に、リソグラフィ技術の露光工程における 1 ショットのマトリックスを示し、図 4 (b) に、1 ショットにおいてスクライブ領域に設けられる各種パターンの配置図の一例を示す。図 4 (b) 中、1 は 1 つのチップ、SW はウエハ、SL はチップの周囲 4 辺に設けられ、ウエハを 1 個 1 個のチップに切り分ける際の切り代となるスクライブ領域である。ここで 1 ショットとは、リソグラフィ技術において、1 回の露光でウエハ上に転写される領域を言い、通常 1 ショットで複数のチップ (図 4 (b) では、1 ショットで 39 個のチップ) が露光される。

【0032】

1 ショット ST の最外周のスクライブ領域 SL には、打ち消し防止パターン 19、合わせマーク 20、合わせ用パターン 21、マスク QC 用パターン (長寸法) 22、膜厚検査パターン 23、SEM (Scanning Electron Microscope) 原点パターン 24 などが配置され、さらに 1 ショット ST 内のスクライブ領域 SL には、マスク QC 用パターン (小寸法) 25、TEG (Test Element Group) パターン 26 などが配置されている。しかし前記第 1 LD MOS Tr₁ で説明したように、本実施の形態 1 の高周波パワートランジスタでは、ソース電極パッドがスクライブ領域 SL 以外の領域、すなわち高周波パワートランジスタが形成されるチップ 1 上の素子形成領域に形成されるので、上記スクライブ領域 SL に形成される上記各種パターンを削除することなく、全てのチップ 1 にソース電極パッドを形成することができる。

【0033】

次に、本実施の形態 1 である高周波パワートランジスタの第 1 のプローブ検査方法および第 2 のプローブ検査方法について説明する。まず、図 5 を用いて第 1 のプローブ検査方法を説明し、続いて図 6 を用いて第 2 のプローブ検査方法を説明する。

【0034】

第 1 のプローブ検査方法は、例えば以下のように行う。まず図 5 (a) に示すように、ウエハ (LDMOS が作り込まれた複数のチップを配列した平面略円形状の基板) 27 を用意する。パッシベーション膜 (前記第 1 LDMOSTr₁ での符号 16) の表面からシリコン基板 (前記第 1 LDMOSTr₁ での符号 2a) の裏面までの厚さを 200 μ m 以下としていることから、4 mm 程度の反り (図 5 (a) 中の距離 L₀) が生じている。

【0035】

次に、図 5 (b) に示すように、ウエハ 27 の裏面側に補強テープ 28 を貼り付けて、ウエハ 27 の反りを低減させる。補強テープ 28 は、例えば UV テープ (紫外線によって化学特性が変化するテープ) を例示することができる。次いで図 5 (c) に示すように、プローブ検査装置 29 のステージ 30 上に補強テープ 28 を貼り付けたウエハ 27 を載せ、真空吸着によりウエハ 27 をステージ 30 に固定させる。この際、補強テープ 28 によってウエハ 27 の反りが低減されているので、真空吸着でウエハ 27 をステージ 30 に引き寄せても、ウエハ 27 がステージ 30 に強く当たらず、ウエハ 27 の割れを防ぐことができる。

【0036】

次に、図 5 (d) に示すように、ウエハ 27 を搭載したステージ 30 をプローブ測定部 31 に移動させる。次いで図 5 (e) に示すように、ウエハ 27 の表面側に形成されたソース電極パッド (前記第 1 LDMOSTr₁ での符号 15a)、ドレイン電極パッド (前記第 1 LDMOSTr₁ での符号 15b)、ゲート電極パッド (前記第 1 LDMOSTr₁ での符号 15c) にそれぞれプローブ 31a を接触させて、1 個 1 個のチップにおいて特性測定を行う。ウエハ 27 の裏面側には補強テープ 28 が貼り付けられているため、裏面電極 18 をソース用の電極として使えないが、これに代わってプローブ検査では、ウエハ 27 の表面側に

形成されたソース電極パッドを用いる。なお予め高周波パワートランジスタの全電極パッドの配置に合わせてプローブを配置したプローブカードを用いてもよい。

【0037】

次に、図5（f）に示すように、測定が終了した後、ウエハ27を搭載したステージ30を、ウエハ27をセットした初めの箇所に移動する。次いで図5（g）に示すように、ウエハ27は1個1個のチップに切り分けられた後（ダイシング工程）、補強テープ28から良品チップが剥がされて、さらにマウント工程、ボンディング工程を経て、良品チップがパッケージに封止される。ダイシング工程では、ウエハ27の裏面側に補強テープ28を貼り付けた状態で、補強テープ28の周辺部をキャリア治具32に接着、固定した後、ダイヤモンドブレード（ダイヤモンド微粒を貼り付けた極薄の円形刃）33などを使ってウエハ27をダイシングすることにより、ウエハ27をスクライブ領域に沿って縦横に切断し、チップを個片化する。従って、補強テープ28がダイシングテープを兼ねることができるため、補強テープ28を貼り付けた状態でウエハ27をプローブ検査装置29からダイシング装置へ搬送することができるので、ウエハ27の取り扱いが容易となり、またダイシングテープを貼り付ける作業が無くなり、ウエハ27を取り扱う工程が減るので、ウエハ27の割れを低減することができる。なおダイシングでは、ウエハ27はスクライブ領域に沿って切断されるが、ダイシング後もチップの周辺にスクライブ領域の一部は残っている。

【0038】

第2のプローブ検査方法は、例えば以下のように行う。まず前記図5（a）～図5（f）に示した工程と同様に、ウエハ27の裏面側に補強テープ28を貼り付けて、ウエハ27の反りを低減させた後（図6（b））、プローブ検査装置29のステージ30上に補強テープ28を貼り付けたウエハ27を載せ、真空吸着によりウエハ27をステージ30に固定させる（図6（c））。次に、ウエハ27を搭載したステージ30をプローブ測定部31に移動させた後（図6（d））、ウエハ27の表面側に形成されたソース電極パッド（前記第1 LDMOST_{Tr1}での符号15a）、ドレイン電極パッド（前記第1 LDMOST_{Tr1}での符号1

5b)、ゲート電極パッド(前記第1 LDMOST r₁での符号15c)にそれぞれプローブ31aを接触させて、1個1個のチップにおいて特性測定を行う(図6(e))。ここでも裏面電極18に代わって、プローブ検査ではウエハ27の表面側に形成されたソース電極パッドを用いる。次に、測定が終了した後、ウエハ27を搭載したステージ30を、ウエハ27をセットした初めの箇所に移動する(図6(f))。

【0039】

次に、図6(g)に示すように、ウエハ27の裏面側から補強テープ28を剥がした後、図6(h)に示すように、ウエハ27の裏面側にダイシングテープ34を貼り付ける。その後、ウエハ27は1個1個のチップに切り分けられた後(ダイシング工程)、ダイシングテープ34から良品チップが剥がされて、さらにマウント工程、ボンディング工程を経て、良品チップがパッケージに封止される。ウエハ27の裏面側に貼り付けた補強テープ28を剥がし、ダイシングテープ34に貼り替えることにより、それぞれのテープ材質の選択度を増すことができる。

【0040】

図7は、本実施の形態1である1チップに形成された1つの高周波パワートランジスタの他の例を示す半導体基板の要部レイアウト図、図8は、LDMOSの一部を拡大した半導体基板の要部レイアウト図、図9は、図8のC-C'線およびD-D'線における半導体基板の要部断面図である。

【0041】

第2 LDMOST r₂は、前記第1 LDMOST r₁同様に、基板2上にp型ウェル3、ゲート絶縁膜4、ゲート電極5、n⁺型半導体領域6からなるソース、n⁻型半導体領域7およびn⁺型半導体領域8からなるドレイン、p⁺型ソース打ち抜き層9、9aによって構成されている。しかし、第2 LDMOST r₂では、1層目の配線によって各々の電極パッドが構成されている。

【0042】

すなわち、半導体層2bの主面に形成された絶縁膜10の上層には、1層目の配線によってソースを構成するn⁺型半導体領域6とp⁺型ソース打ち抜き層9と

を接続するソース電極35a、ドレインを構成するn⁺型半導体領域8に接続するドレイン電極パッド35b、ゲート電極5の引き出し部5aに接続するゲート電極パッド35cおよびp⁺型ソース打ち抜き層9aに接続するソース電極パッド35dが形成されており、電極パッド35b～35dが1層目の配線によってチップ1の表面側に形成される。なおこれら電極35aおよび電極パッド35b～35dは、例えば絶縁膜10の上層に堆積したアルミニウム合金膜などの金属膜をリソグラフィ技術およびエッチング技術を用いてパターンニングすることにより形成することができる。

【0043】

なお、本実施の形態1では、ウエハ27を1個1個のチップに切り分ける際、ウエハ27をダイシング（スクライブ領域をダイヤモンドブレードで削る作業）したが、ウエハ27をスクライビング（スクライブ領域にブレードで傷を付けてウエハを割る作業）して、チップを個片化してもよい。

【0044】

このように、本実施の形態1によれば、ソースのインダクタンスまたは抵抗を下げるために、基板2の主面上に第1LDMOST_{Tr1}, _{Tr2}を形成した後、シリコン基板2aの裏面を研削して、パッシベーション膜16の表面からシリコン基板2aの裏面までの厚さを200 μ m以下とするが、ウエハ27の裏面側（シリコン基板2aの裏面）に補強テープ28を貼り付けることにより、ウエハ27の真空吸着またはウエハ27の搬送などにおけるウエハ27の割れを低減することができる。またウエハ27の裏面側に補強テープ28を貼り付けた場合は、チップ1の表面側に設けたソース電極パッド15a, 35dを用いたプローブ検査が行われるが、1層目または2層目の配線を引きまわすのではなく、半導体層2bに形成したp⁺型ソース打ち抜き層9, 9aおよびシリコン基板2aを介してソースを構成するn⁺型半導体領域6とソース電極パッド15a, 35dとを電氣的に接続するので、チップ1の表面側にソース電極パッド15a, 35dを設けることによる寄生容量の増加を抑えることができる。またソース電極パッド15a, 35dはスクライブ領域SL以外の領域、すなわちチップ1上の素子形成領域に形成されるので、スクライブ領域SLに配置される各種パターンを削除す

ることなく、全てのチップ1に対してソース電極パッド15a, 35dを提供することができる。

【0045】

(実施の形態2)

図10は、本実施の形態2であるLDMOSの一例を示す半導体基板の要部レイアウト図、図11は、図10のE-E'線およびF-F'線における要部断面図である。

【0046】

第3LDMOSTr₃は、前記実施の形態1の第1LDMOSTr₁とほぼ同じ構造であるが、p⁺型ソース打ち抜き層9を形成する際にp型不純物を拡散させる箇所と第3LDMOSTr₃のチャネル領域との間に半導体層2bの表面からシリコン基板2aに向かって深さ2μm以上の溝36が形成されている。この溝36は、p⁺型ソース打ち抜き層9を形成する前に形成されて、p⁺型ソース打ち抜き層9がチャネル領域へ広がるのを防ぐ働きをしている。なお溝36の内部には絶縁膜37または導体膜（例えばタングステンまたは多結晶シリコン）が埋め込まれている。

【0047】

また、第3LDMOSTr₃は、前記実施の形態1の第1LDMOSTr₁と同様に、パッシベーション膜16の表面からシリコン基板2aの裏面の厚さを200μm以下としており、これにより、ソースのインダクタンスまたは抵抗を低減することができる。

【0048】

図12に、溝を形成したLDMOSおよび溝を形成しないLDMOSのドレイン電流(I_d)とゲート電圧(V_{gs})との関係をシミュレーションで求めた結果を示す。図中に挿入したLDMOSの概略断面図に示すように、溝36を形成したLDMOSでは、ゲート電極5の端部から約4μm程度離れた箇所からp⁺型ソース打ち抜き層を形成するためのp型不純物が導入され、溝36を形成しないLDMOSでは、ゲート電極5の端部から約7μm程度離れた箇所からp⁺型ソース打ち抜き層を形成するためのp型不純物が導入されている。また溝36の

深さは $2\ \mu\text{m}$ 、その幅は $1.8\ \mu\text{m}$ 、半導体層 2b の厚さは $10\ \mu\text{m}$ とした。図からわかるように、溝を形成した LDMOS のドレイン電流は、溝を形成しない LDMOS のドレイン電流よりも大きくなり、溝を形成した LDMOS では、溝を形成しない LDMOS よりも、 $I_d = (2.5\text{ A} - 2.0\text{ A}) / \Delta V_{gs}$ での g_m を 20% 程度増加することができる。

【0049】

図 13 に、溝を形成した LDMOS および溝を形成しない LDMOS のドレイン電流 (I_d) とドレイン電圧 (V_{ds}) との関係をシミュレーションで求めた結果を示す。LDMOS の構造は、前記図 12 に挿入した LDMOS の概略断面図と同じである。図からわかるように、溝を形成した LDMOS では、溝を形成しない LDMOS よりも、 $I_d = 2.5\text{ V}$ での R_{on} を 24.5% 程度低減することができる、また飽和電流を 3.2% 程度増加することができる。

【0050】

このように、溝を設けることにより p+型ソース打ち抜き層のチャネル領域への広がりを抑えることができるので、単位 LDMOS のセルピッチを増大させることなく、p+型ソース打ち抜き層を広げるまたは p+型ソース打ち抜き層の不純物濃度を高くすることができる。これにより、ソースのインダクタンスまたは抵抗を下げ、高周波電力利得を向上させることができる。

【0051】

また、溝を設けることにより、単位 LDMOS のセルピッチを縮小して、チップをシュリンクすることができる。以下、図 14 および図 15 を用いて、チップシュリンクについて説明する。なお図 14 および図 15 において X 方向とはゲート長方向であり、Y 方向とはゲート幅方向である。

【0052】

図 14 (a) に、溝を形成しない LDMOS の要部レイアウト図、図 14 (b) に溝を形成した LDMOS の要部レイアウト図を示す。図 14 (a) に示す溝を形成しない LDMOS のレイアウトでは、ゲート電極 5 が 4 本あり、ゲート幅を L_1 とすると、レイアウト全体のゲート幅 W_g は $(4 \times L_1)\ \mu\text{m}$ となる。次に、ゲート幅 W_g を変えずに溝を形成した LDMOS を配置して、チップシュリン

クを考える。まず溝を形成したLDMOSでは、溝によってp⁺型ソース打ち抜き層の広がりが抑えられるので、X方向のシュリンクが可能となる。さらにX方向がシュリンクされると、図14(b)に示すように、溝を形成したLDMOSのレイアウトでは、ゲート電極5を例えば、6本配置することができて、ゲート幅を L_2 とすると、レイアウト全体のゲート幅 W_g は $(6 \times L_2) \mu m$ となる。ゲート幅 W_g は変わらないことから、 $4 \times L_1 = 6 \times L_2$ の関係が成り立ち、 $L_2 = (2/3) L_1$ となって、 L_2 は L_1 よりも小さくなる。すなわち、X方向をシュリンクすることによって、Y方向をもシュリンクすることが可能となる。

【0053】

図15(a)に、多段に配置した溝を形成しないLDMOSの要部レイアウト図、図15(b)に、多段に配置した溝を形成したLDMOSの要部レイアウト図を示す。図15(a)に示した単位セルあたりのゲート幅 W_u を $a \mu m$ とすると、図15(a)のレイアウト全体のゲート幅 W_u は、 $(12 \times a) \mu m$ となる。図15(b)に示す溝を形成したLDMOSでは、溝を設けることによってp⁺型ソース打ち抜き層の広がりが抑えられるので、X方向のシュリンクが可能となる。従って、溝を形成しないLDMOSおよび溝を形成したLDMOSのチップ全体のX方向が同じであれば、溝を形成したLDMOSでX方向をシュリンクし、空いた領域にLDMOS(例えば、図15(a)の下1列の4つのLDMOS)を配置することにより、同じゲート幅 W_u ($(12 \times a) \mu m$)を実現できる。これにより、Y方向を縮めることができる。

【0054】

次に、前記第3LDMOST_{r3}の第1の製造方法を図16～図18に示す半導体基板の要部断面図を用いて工程順に説明する。

【0055】

まず、図16(a)に示すように、基板2を用意する。この段階の基板2は平面略円形状の部材からなり、シリコン基板2aと、その主面に形成された半導体層2bとを有している。シリコン基板2aは、例えばチョクラルスキー法などのような結晶引き上げ法により形成されたp⁺型のシリコン単結晶からなり、その抵抗率は、例えば $1 \sim 15 m\Omega cm$ であり、半導体層2bは、例えばエピタキシ

ャル法により形成された p 型のシリコン単結晶からなり、その厚さは、例えば $10\text{ }\mu\text{m}$ 程度である。

【0056】

次に、基板 2 を熱酸化して半導体層 2 b の表面に厚さ $0.01\text{ }\mu\text{m}$ 程度の薄い酸化シリコン膜 3 8 を形成し、次いでその上層に CVD (Chemical Vapor Deposition) 法で厚さ $0.1\text{ }\mu\text{m}$ 程度の窒化シリコン膜 3 9 を堆積する。この後、レジストパターンをマスクとして窒化シリコン膜 3 9、酸化シリコン膜 3 8 および半導体層 2 b を順次エッチングすることにより、半導体層 2 b に深さ $2\text{ }\mu\text{m}$ 、幅 $1.8\text{ }\mu\text{m}$ 程度の溝 3 6 を形成する。

【0057】

次に、図 16 (b) に示すように、半導体層 2 b 上に CVD 法で絶縁膜 3 7、例えば酸化シリコン膜を堆積した後、絶縁膜 3 7 を CMP (Chemical Mechanical Polishing) 法で研磨して、溝 3 6 の内部に絶縁膜 3 7 を残す。続いて基板 2 を熱処理することにより、溝 3 6 に埋め込んだ絶縁膜 3 7 を焼き締めする。その後、熱リン酸を用いて窒化シリコン膜 3 9 を除去し、続いてフッ酸系の水溶液を用いて酸化シリコン膜 3 8 を除去する。

【0058】

次に、図 17 (a) に示すように、半導体層 2 b の主面上にリソグラフィ技術によりレジストパターン 4 0 を形成した後、そのレジストパターン 4 0 をマスクとして、p 型不純物、例えばボロンをドーズ量 10^{16} cm^{-2} 台、エネルギー 100 keV の条件で半導体層 2 b に選択的にイオン注入する。続いて図 17 (b) に示すように、基板 2 に、例えば 1200°C 、70 分の熱処理を施すことにより、p+型ソース打ち抜き層 9、9 a を形成する。この p+型ソース打ち抜き層 9、9 a は、半導体層 2 b の表面からシリコン基板 2 a まで達するように形成されており、シリコン基板 2 a と電氣的に接続される。

【0059】

次に、図 18 (a) に示すように、半導体層 2 b の一部を覆うレジストパターンをマスクとして、p 型不純物、例えばボロンをドーズ量 10^{13} cm^{-2} 台、エネルギー 60 keV の条件で半導体層 2 b に選択的にイオン注入した後、基板 2 に

例えば1000℃、30分の熱処理を施すことにより、p型ウェル3を形成する。p型ウェル3は、第3 LDMOST r₃のチャネル領域となる部分でもある。

【0060】

次に、基板2に対して洗浄処理を施し、半導体層2bの主面の清浄面を露出させた状態で、例えばウェット酸化処理を施すことにより、半導体層2bの活性領域の表面に、例えば厚さ10～50nm程度の酸化シリコンからなるゲート絶縁膜4を形成する。続いて基板2の主面上に、例えば低抵抗な多結晶シリコンなどのような導体膜をCVD法により堆積した後、これをレジストパターンをマスクとしたドライエッチングによりパターニングすることにより、導体膜からなるゲート電極5を形成する。

【0061】

次に、基板2の主面上にドレインが形成される領域が露出され、それ以外が覆われるようなレジストパターンをマスクとして、n型不純物、例えばヒ素またはリンを半導体層2bにイオン注入することにより、ドレインの一部を構成するn⁻型半導体領域7を形成する。n⁻型半導体領域7は、その端部がゲート電極5のドレイン側端部に重なる（ほぼ一致する）ように形成されている。その後、基板2に対して熱処理を施す。

【0062】

次に、基板2の主面上に、ソースおよびドレインの他の一部が形成される領域が露出され、それ以外が覆われるようなレジストパターンをマスクとして、n型不純物、例えばヒ素をイオン注入することにより、ソースを構成するn⁺型半導体領域6およびドレインの他の一部を構成するn⁺型半導体領域8を形成する。ドレインの他の一部を構成するn⁺型半導体領域8は、その端部が上記n⁻型半導体領域7分だけゲート電極5から離れた位置に形成されている。またソースを構成するn⁺型半導体領域6は、その端部がゲート電極5のソース側端部に重なる（ほぼ一致する）ように形成されている。このn⁺型半導体領域6、8を形成する時のイオン注入条件は、例えばドーズ量 10^{15} cm^{-2} 台程度、エネルギー80keVである。その後、基板2に対して熱処理を施す。

【0063】

次に、図 18 (b) に示すように、基板 2 の主面上に、例えば酸化シリコンなどからなる絶縁膜 10 を CVD 法により堆積する。続いて絶縁膜 10 にソースを構成する n+型半導体領域 6、ドレインを構成する n+型半導体領域 8、p+型ソース打ち抜き層 9、9a およびゲート電極 5 の引き出し部を露出するコンタクトホール 11 をリソグラフィ技術およびエッチング技術により形成する。次いで、基板 2 の主面上に金属膜、例えばアルミニウム合金膜をスパッタリング法により堆積する。続いてその金属膜をリソグラフィ技術およびエッチング技術によりパターニングすることにより、1 層目の配線によってソースを構成する n+型半導体領域 6 と p+型ソース打ち抜き層 9 とを接続するソース電極 12a、ドレインを構成する n+型半導体領域 8 に接続するドレイン電極 12b、隣接する 2 つのゲート電極 5 に接続するゲート接続電極 12c および p+型ソース打ち抜き層 9a に電氣的に接続するソース引き上げ電極 12d を形成する。

【0064】

次に、基板 2 の主面上に、例えば酸化シリコンなどからなる絶縁膜 13 を CVD 法により堆積する。続いて絶縁膜 13 にドレイン電極 12b、ゲート接続電極 12c およびソース引き上げ電極 12d を露出するコンタクトホール 14 をリソグラフィ技術およびエッチング技術により形成する。次いで、基板 2 の主面上に金属膜、例えばアルミニウム合金膜をスパッタリング法によりパターニングすることにより、2 層目の配線によってソース引き上げ電極 12d に電氣的に接続するソース電極パッド 15a、ドレイン電極 12b に電氣的に接続するドレイン電極パッド 15b、ゲート接続電極 12c に電氣的に接続するゲート電極パッド 15c を形成する。その後、基板 2 の主面上をパッシベーション膜で覆い、そのパッシベーション膜に、電極パッド 15a ~ 15c を露出する開口部を形成する。これにより、前記第 3 LDMOS L₃ が略完成する。

【0065】

次に、前記第 3 LDMOS Tr₃ の第 2 の製造方法を図 19 ~ 図 21 に示す半導体基板の要部断面図を用いて工程順に説明する。

【0066】

まず、図 19 (a) に示すように、前記図 16 (a) を用いて説明した製造方

法と同様にして、シリコン基板 2 a と、その主面に形成された半導体層 2 b とを有する基板 2 を用意し、半導体層 2 b に溝 3 6 を形成する。

【0067】

次に、図 19 (b) に示すように、半導体層 2 b の主面上にリソグラフィ技術によりレジストパターン 4 1 を形成した後、そのレジストパターン 4 1 をマスクとして、p 型不純物、例えばボロンをドーズ量 $1.0 \times 10^{16} \text{ cm}^{-2}$ 台、エネルギー 100 keV の条件で半導体層 2 b に選択的にイオン注入する。続いて図 20 (a) に示すように、基板 2 に、例えば 1200℃、70 分の熱処理を施すことにより、p⁺型ソース打ち抜き層 9, 9 a を形成する。

【0068】

次に、図 20 (b) に示すように、半導体層 2 b 上に CVD 法で絶縁膜 3 7、例えば酸化シリコン膜を堆積した後、絶縁膜 3 7 を CMP 法で研磨して、溝 3 6 の内部に絶縁膜 3 7 を残す。続いて基板 2 を熱処理することにより、溝 3 6 に埋め込んだ絶縁膜 3 7 を焼き締めする。その後、前記図 18 を用いて説明した製造方法と同様にして、前記第 3 LDMOST r₃ を形成する。

【0069】

次に、本実施の形態 2 である LDMOS の他の例を図 21、図 22 および図 23 に示す半導体基板の要部レイアウト図を用いて説明する。図 21 に第 4 LDMOST r₄、図 22 に第 5 LDMOST r₅、図 23 に第 6 LDMOST r₆ を示す。

【0070】

まず、図 21 に示す第 4 LDMOST r₄ は、前記実施の形態 1 の第 2 LDMOST r₂ に、前記第 3 LDMOST r₃ と同様の p⁺型ソース打ち抜き層 9 を囲む溝 3 6 を設けている。

【0071】

図 22 に示す第 5 LDMOST r₅ は、前記第 3 LDMOST r₃ と同様の p⁺型ソース打ち抜き層 9 を囲む溝 3 6 を設けているが、ソースを構成する n⁺型半導体領域は、1 層目の配線からなるソース電極 4 2 a を介してチップの表面側に設けられたソース電極パッド 1 5 a に電氣的に接続されている。すなわち、1 層

目の配線によってソースを構成する n^+ 型半導体領域と p^+ 型ソース打ち抜き層 9 とを接続するソース電極 42a、ドレインを構成する n^+ 型半導体領域に接続するドレイン電極 42b およびゲート電極 5 の引き出し部 5a に接続するゲート接続電極 42c が形成されており、ソース電極 42a がコンタクトホール 43 を通して 2 層目の配線によって構成されるソース電極パッド 15a に接続されている。

【0072】

図 23 に示す第 6 LDMOST r_6 は、 p^+ 型ソース打ち抜き層 9 の周辺を全て囲まずに、ソースを構成する n^+ 型半導体領域と平行する領域のみに溝 36 を設けている。

【0073】

なお、本実施の形態 2 では、プローブ検査用のソース電極パッド 15a を全てチップ 1 の表面側に設けたが、チップ 1 の表面側に設けずに、シリコン基板 2a の裏面に形成する裏面電極 18 をプローブ検査時のソース用の電極としてもよい。この場合、前記実施の形態 1 で用いた補強テープ 28 をウエハ 27 の裏面側に貼り付けることができないが、本実施の形態 2 では、 p^+ 型ソース打ち抜き層 9 の不純物濃度を高くして、ソースのインダクタまたは抵抗を下げるできるので、基板の厚さが $240\ \mu\text{m}$ 程度であっても高周波電力利得の低下を防止することができる。

【0074】

図 24 に、裏面電極をプローブ検査時のソース用の電極とした LDMOS の一例である半導体基板の要部レイアウト図、図 25 に、図 24 の G-G' 線および H-H' 線における半導体基板の要部断面図を示す。

【0075】

第 7 LDMOST r_7 に形成される p^+ 型ソース打ち抜き層 9 は、半導体層 2b の主面からシリコン基板 2 に達しており、前記第 3 LDMOST r_3 と同様に、 p^+ 型ソース打ち抜き層 9 を形成する際に p 型不純物を拡散させる箇所とチャネル領域との間に半導体層 2b の表面からシリコン基板 2a に向かって深さ $2\ \mu\text{m}$ 以上の溝 36 が形成されている。しかし、第 7 LDMOST r_7 では、チップ 1

の表面側にプローブ検査用のソース電極パッドは形成されないことから、前記第 3 LDMOS Tr₃において設けられた p⁺型ソース打ち抜き層 9 a、ソース引き上げ電極 12 d およびソース電極パッド 15 a は形成されない。

【0076】

このように、本実施の形態 2 によれば、p⁺型ソース打ち抜き層 9 を形成する際に p 型不純物を拡散させる箇所と LDMOS のチャネル領域との間に半導体層 2 b の表面からシリコン基板 2 a に向かって溝 36 を形成することにより、p⁺型ソース打ち抜き層 9 のチャネル領域への広がりを抑えることができる。これにより、単位 LDMOS のセルピッチを増大させることなく、p⁺型ソース打ち抜き層 9 を広げるまたは p⁺型ソース打ち抜き層 9 の不純物濃度を高くすることができるので、ソースのインダクタンスまたは抵抗を下げて、高周波電力利得を向上させることができる。さらに単位 LDMOS のセルピッチを縮小できることから、チップシュリンクが可能となる。

【0077】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0078】

例えば、前記実施の形態では、本発明を n チャネル型の LDMOS に適用した場合について説明したが、p チャネル型の LDMOS にも適用することが可能である。

【0079】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0080】

トランジスタの特性、特に高周波利得を向上させることが出来る。さらに、トランジスタおよびチップの小型化を図ることが出来る。

【図面の簡単な説明】

【図 1】

本実施の形態 1 である 1 チップに形成された 1 つの高周波パワートランジスタの一例を示す半導体基板の要部レイアウト図である。

【図 2】

図 1 の LDMOS の一部を拡大した半導体基板の要部レイアウト図である。

【図 3】

図 2 の A-A' 線および B-B' 線における半導体基板の要部断面図である。

【図 4】

(a) は、リソグラフィ技術の露光工程における 1 ショットのマトリックス、
(b) は、1 ショットにおける各パターンの配置図である。

【図 5】

本実施の形態 1 である高周波パワートランジスタの第 1 のプローブ検査方法を示す図である。

【図 6】

本実施の形態 1 である高周波パワートランジスタの第 2 のプローブ検査方法を示す図である。

【図 7】

本実施の形態 1 である 1 チップに形成された 1 つの高周波パワートランジスタの他の例を示す半導体基板の要部レイアウト図である。

【図 8】

図 7 の LDMOS の一部を拡大した半導体基板の要部レイアウト図である。

【図 9】

図 8 の C-C' 線および D-D' 線における半導体基板の要部レイアウト図である。

【図 10】

本実施の形態 2 である LDMOS の一例を示す半導体基板の要部レイアウト図である。

【図 11】

図 10 の E-E' 線および F-F' 線における半導体基板の要部断面図である

【図 12】

溝を形成した LDMOS および溝を形成しない LDMOS のドレイン電流とゲート電圧との関係をシミュレーションで求めた結果を示すグラフ図である。

【図 13】

溝を形成した LDMOS および溝を形成しない LDMOS のドレイン電流とドレイン電圧との関係をシミュレーションで求めた結果を示すグラフ図である。

【図 14】

(a) は、溝を形成しない LDMOS の要部レイアウト図、(b) は、溝を形成した LDMOS の要部レイアウト図である。

【図 15】

(a) は、多段に配置した溝を形成しない LDMOS の要部レイアウト図、(b) は、多段に配置した溝を形成した LDMOS の要部レイアウト図である。

【図 16】

本実施の形態 2 である LDMOS の第 1 の製造方法を工程順に示す半導体基板の要部断面図である。

【図 17】

本実施の形態 2 である LDMOS の第 1 の製造方法を工程順に示す半導体基板の要部断面図である。

【図 18】

本実施の形態 2 である LDMOS の第 1 の製造方法を工程順に示す半導体基板の要部断面図である。

【図 19】

本実施の形態 2 である LDMOS の第 2 の製造方法を工程順に示す半導体基板の要部断面図である。

【図 20】

本実施の形態 2 である LDMOS の第 2 の製造方法を工程順に示す半導体基板の要部断面図である。

【図 21】

本実施の形態 2 である LDMOS の他の例を示す半導体基板の要部レイアウト図である。

【図 2 2】

本実施の形態 2 である LDMOS の他の例を示す半導体基板の要部レイアウト図である。

【図 2 3】

本実施の形態 2 である LDMOS の他の例を示す半導体基板の要部レイアウト図である。

【図 2 4】

プローブ検査用のソース電極をシリコン基板とした LDMOS 工の一例を示す半導体基板の要部レイアウト図である。

【図 2 5】

図 2 4 の G-G' 線および H-H' 線における半導体基板の要部断面図である。

【符号の説明】

- 1 チップ
- 2 基板
- 2 a シリコン基板 (半導体基板)
- 2 b 半導体層
- 3 p 型ウェル (第 4 半導体領域)
- 4 ゲート絶縁膜
- 5 ゲート電極
- 5 a ゲート電極の引き出し部
- 6 n⁺型半導体領域 (第 1 半導体領域)
- 7 n⁻型半導体領域 (第 2 半導体領域)
- 8 n⁺型半導体領域 (第 3 半導体領域)
- 9 p⁺型ソース打ち抜き層 (第 6 半導体領域)
- 9 a p⁺型ソース打ち抜き層 (第 5 半導体領域)
- 10 絶縁膜

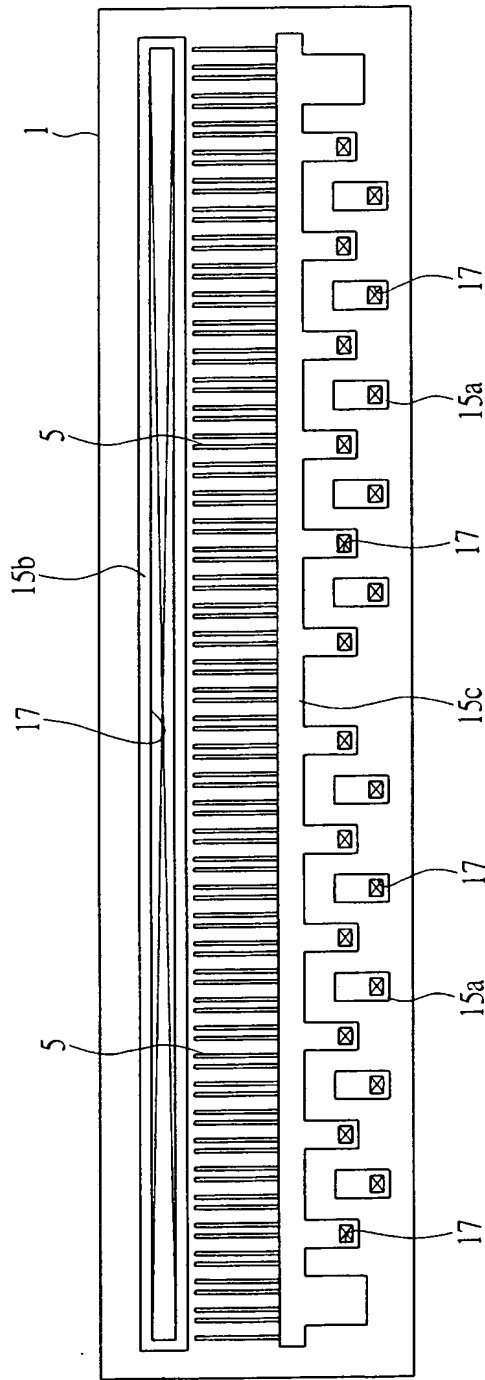
- 1 1 コンタクトホール
- 1 2 a ソース電極
- 1 2 b ドレイン電極
- 1 2 c ゲート接続電極
- 1 2 d ソース引き上げ電極
- 1 3 絶縁膜
- 1 4 コンタクトホール
- 1 5 a ソース電極パッド
- 1 5 b ドレイン電極パッド
- 1 5 c ゲート電極パッド
- 1 6 パッシベーション膜
- 1 7 開口部
- 1 8 裏面電極
- 1 9 打ち消し防止パターン
- 2 0 合わせマーク
- 2 1 合わせ用パターン
- 2 2 マスク Q C 用パターン (長寸法)
- 2 3 膜厚検査パターン
- 2 4 SEM 原点パターン
- 2 5 マスク Q C 用パターン (小寸法)
- 2 6 TEG パターン
- 2 7 ウエハ
- 2 8 補強テープ
- 2 9 プローブ検査装置
- 3 0 ステージ
- 3 1 プローブ測定部
- 3 1 a プローブ
- 3 2 キャリア治具
- 3 3 ダイヤモンドブレード

3 4 ダイシングテープ
3 5 a ソース電極
3 5 b ドレイン電極パッド
3 5 c ゲート電極パッド
3 5 d ソース電極パッド
3 6 溝
3 7 絶縁膜
3 8 酸化シリコン膜
3 9 窒化シリコン膜
4 0 レジストパターン
4 1 レジストパターン
4 2 a ソース電極
4 2 b ドレイン電極
4 2 c ゲート接続電極
4 3 コンタクトホール
S T 1 ショット
S L スクライブ領域
S W ウエハ
T r 1 第 1 L D M O S
T r 2 第 2 L D M O S
T r 3 第 3 L D M O S
T r 4 第 4 L D M O S
T r 5 第 5 L D M O S
T r 6 第 6 L D M O S
T r 7 第 7 L D M O S

【書類名】 図面

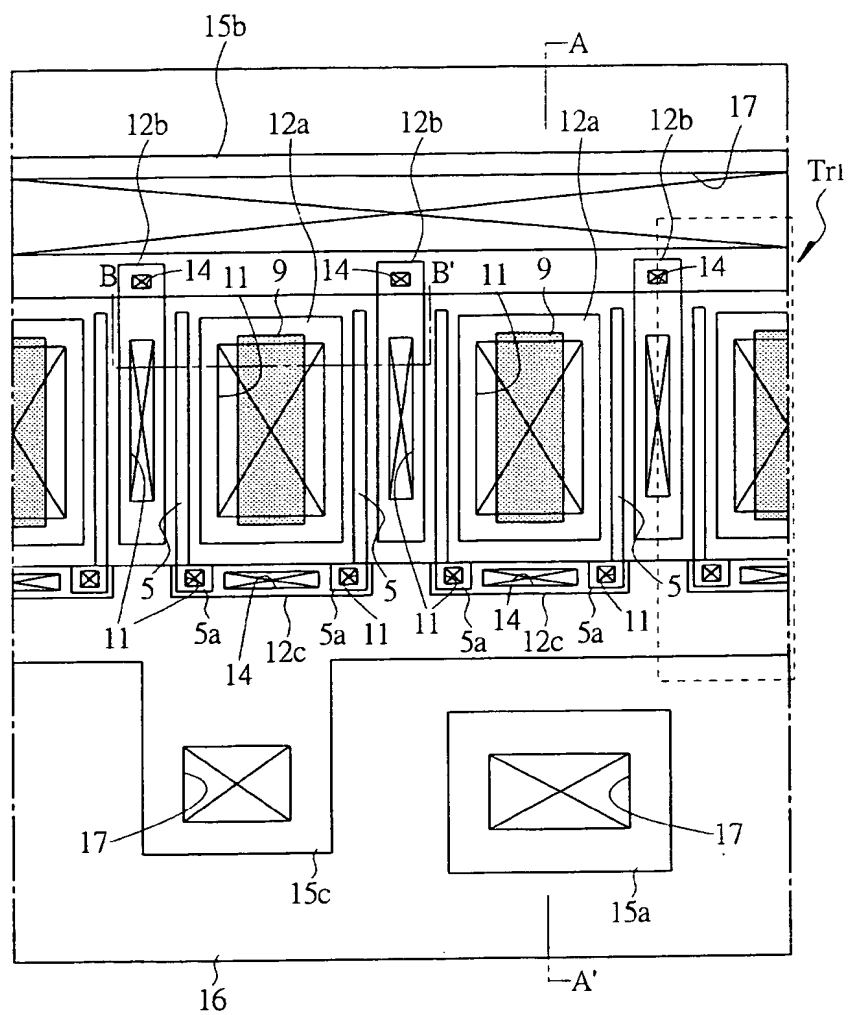
【図 1】

図 1

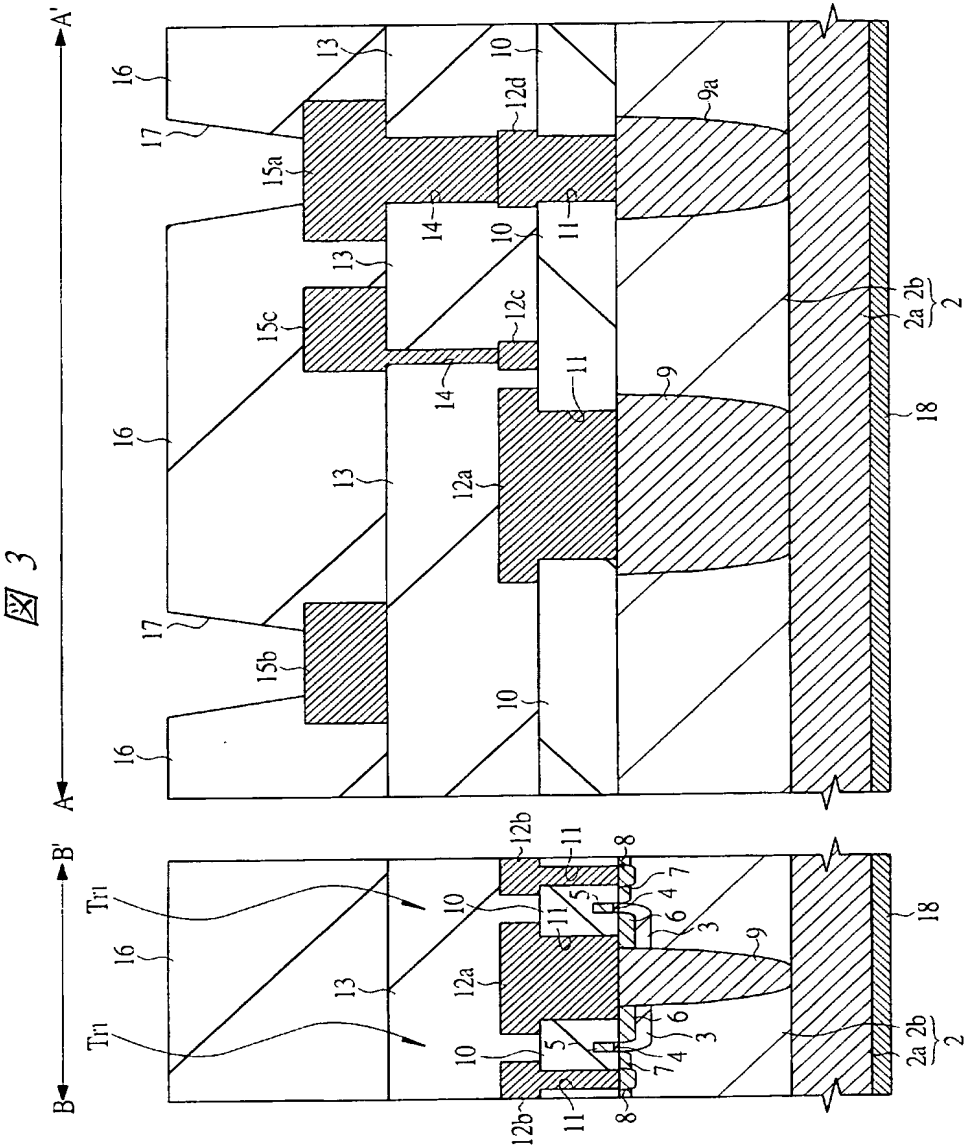


【図 2】

図 2



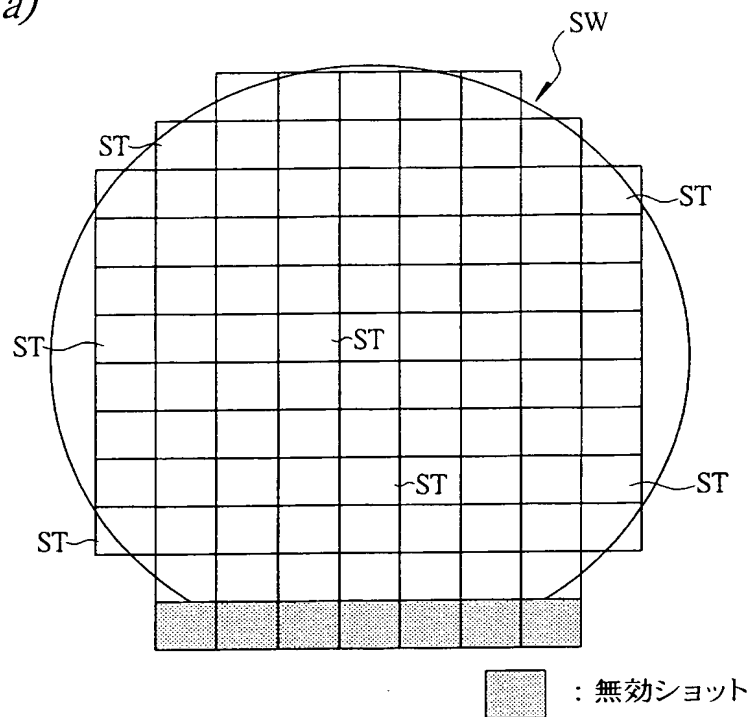
【図 3】



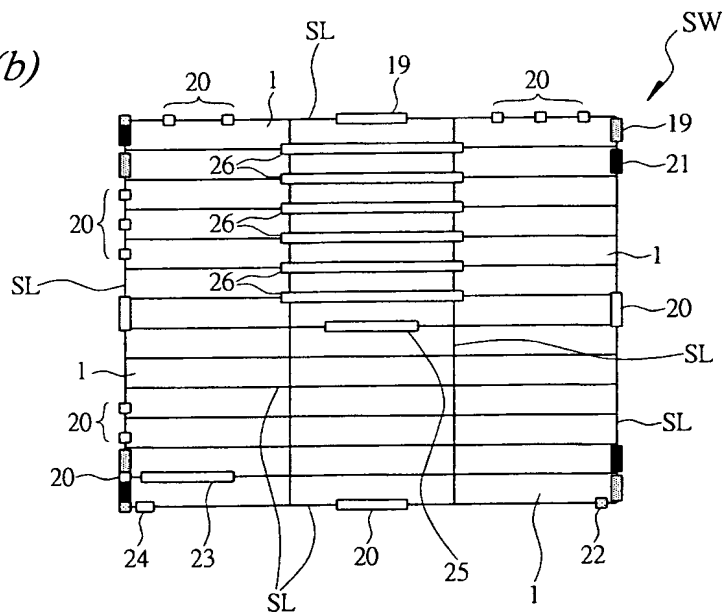
【図 4】

図 4

(a)

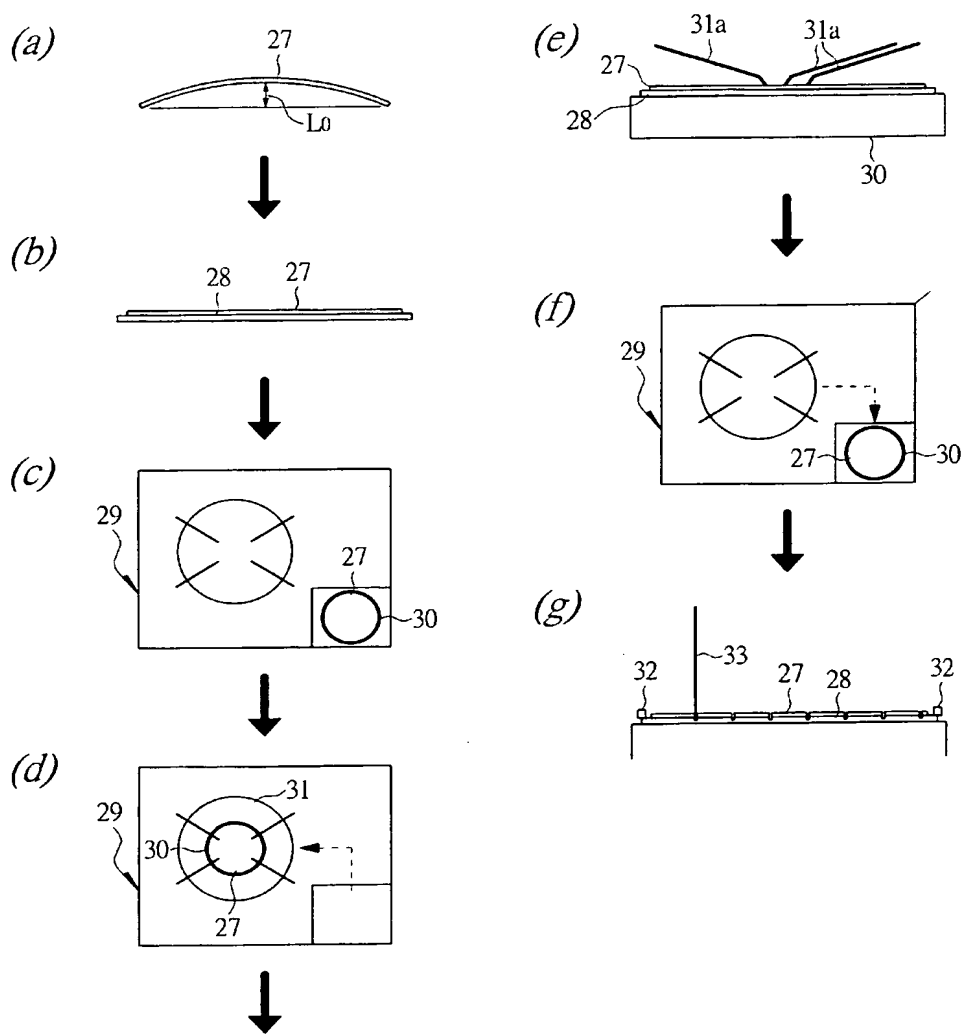


(b)



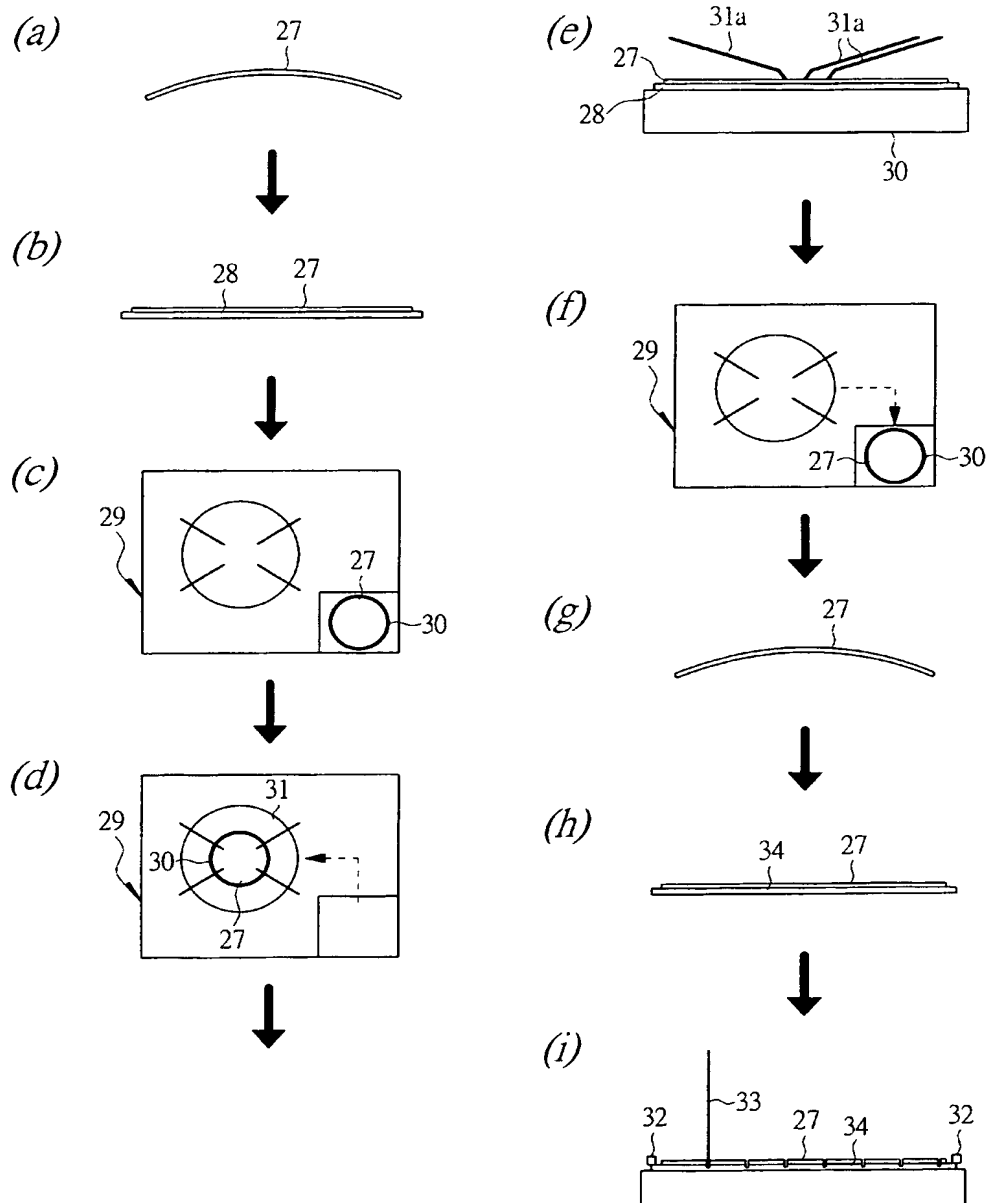
【図 5】

図 5



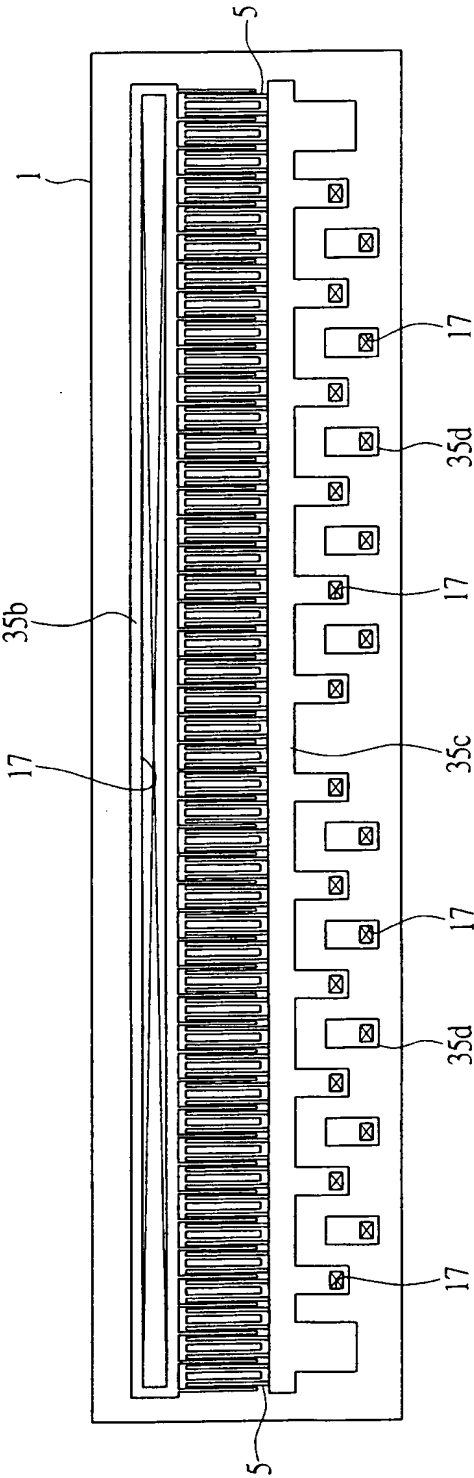
【図 6】

図 6



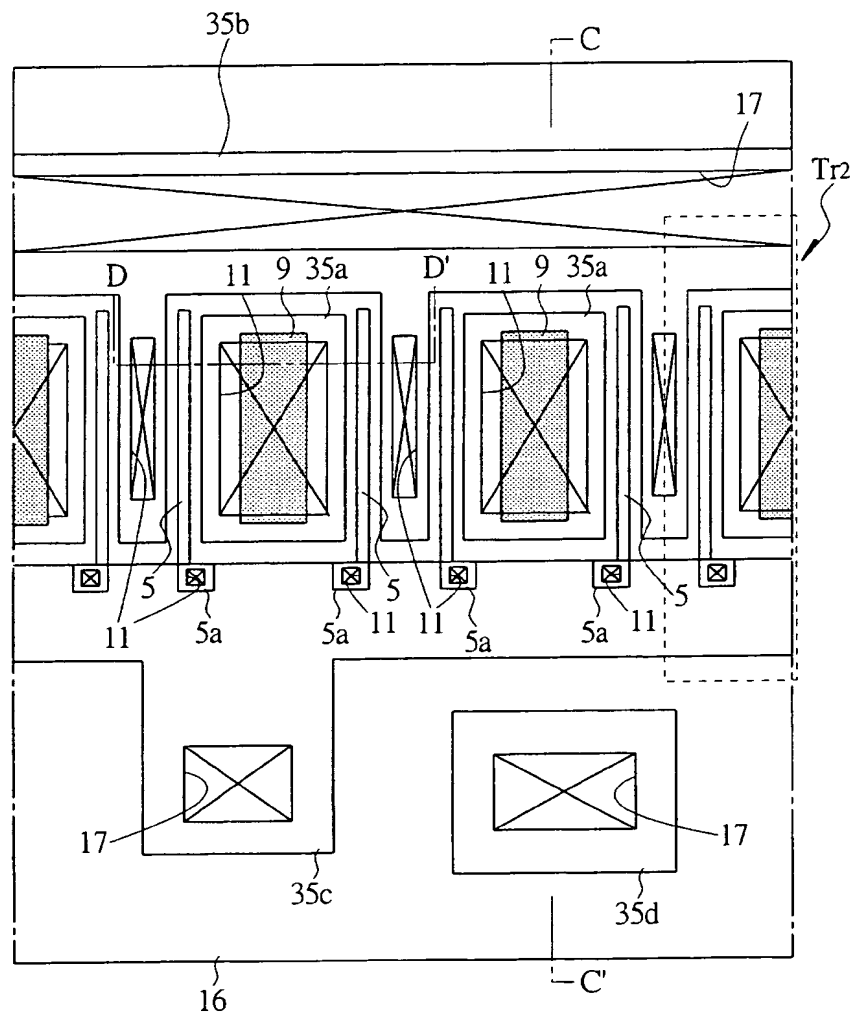
【図 7】

7



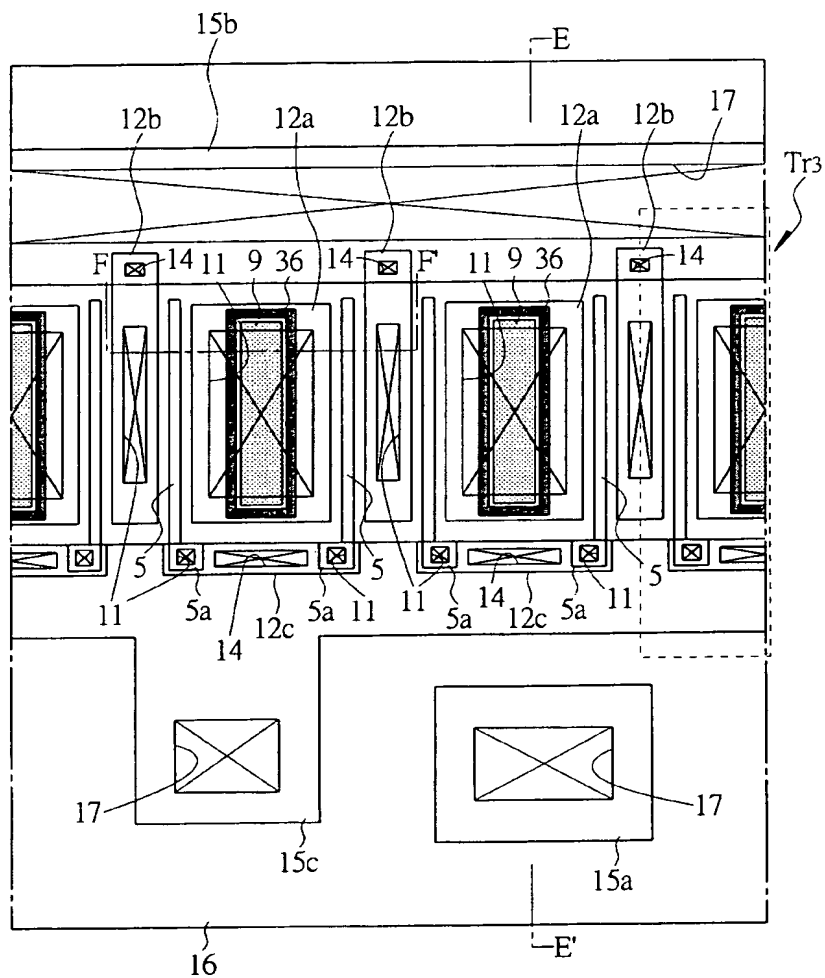
【図 8】

図 8



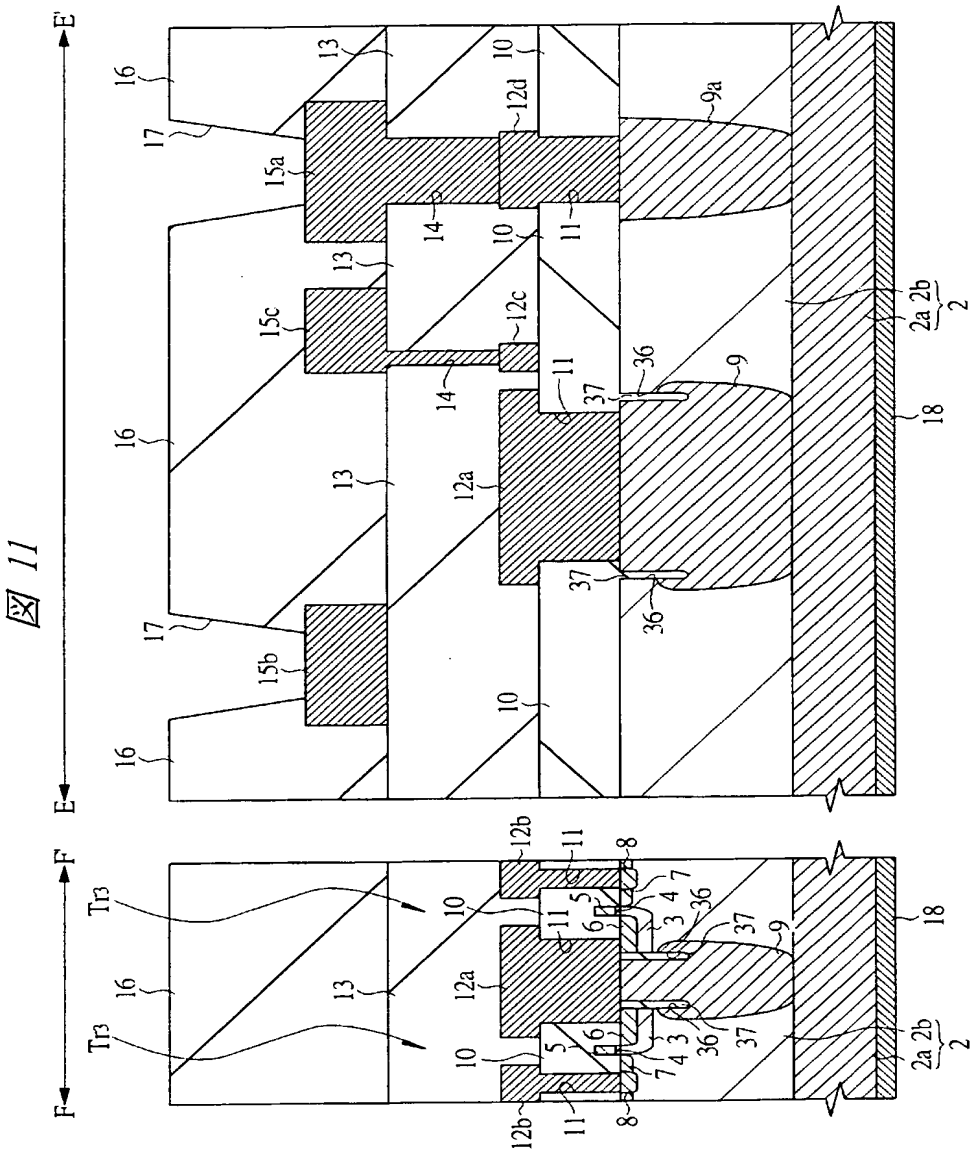
【図 10】

図 10



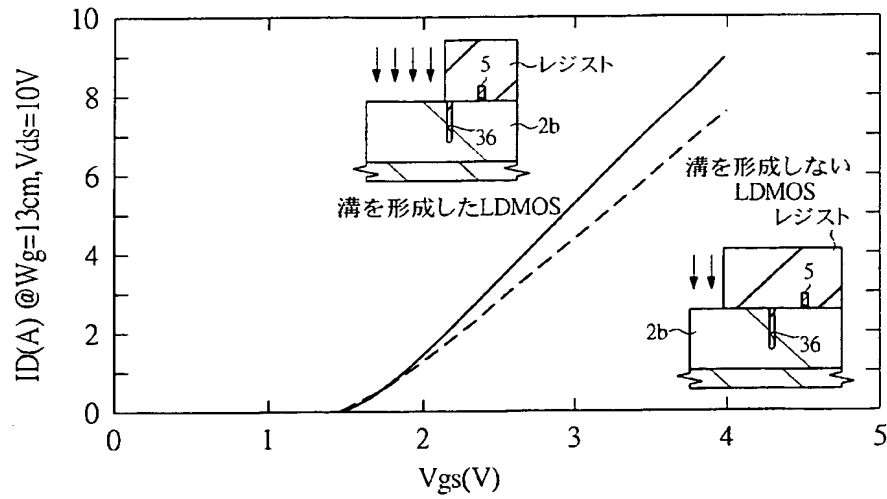
9: p 型ソース打ち抜き層
36: 溝

【図 11】



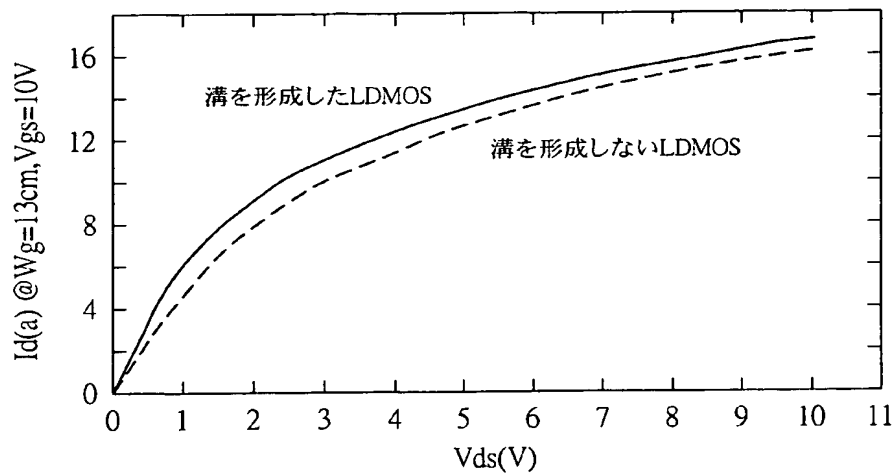
【図 12】

図 12



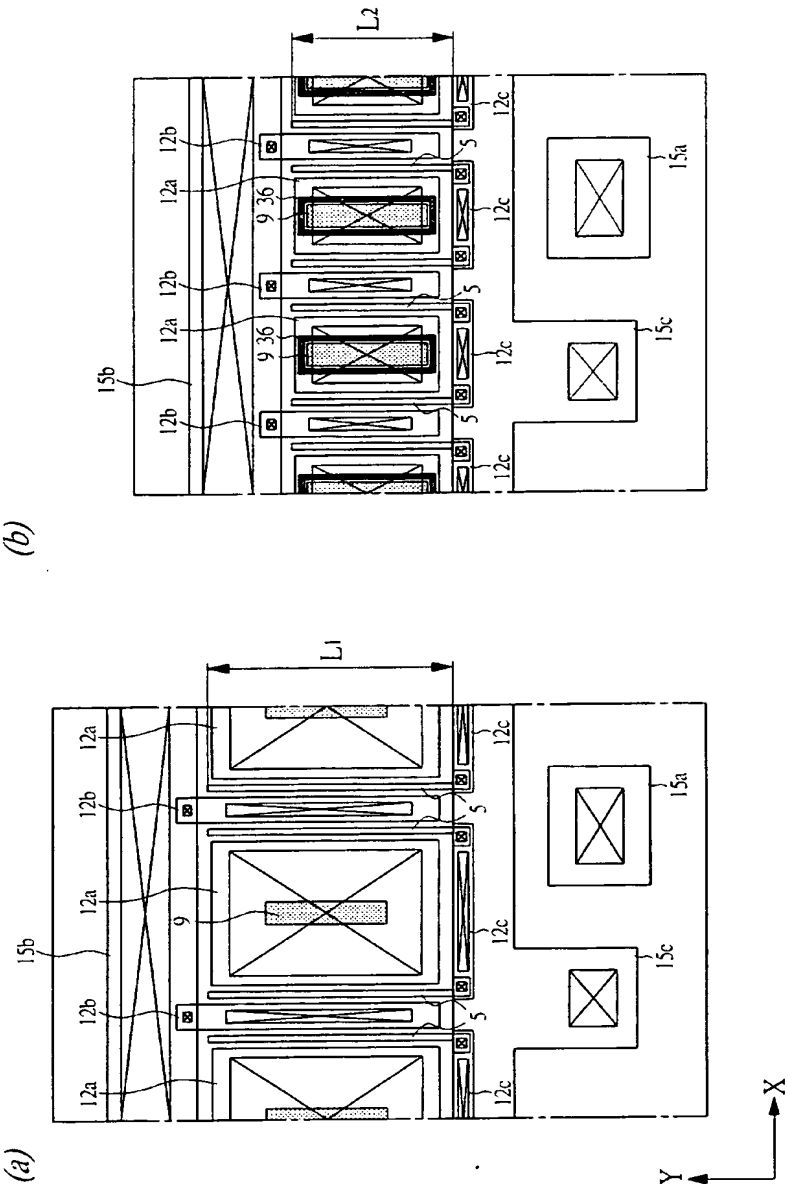
【図 13】

図 13



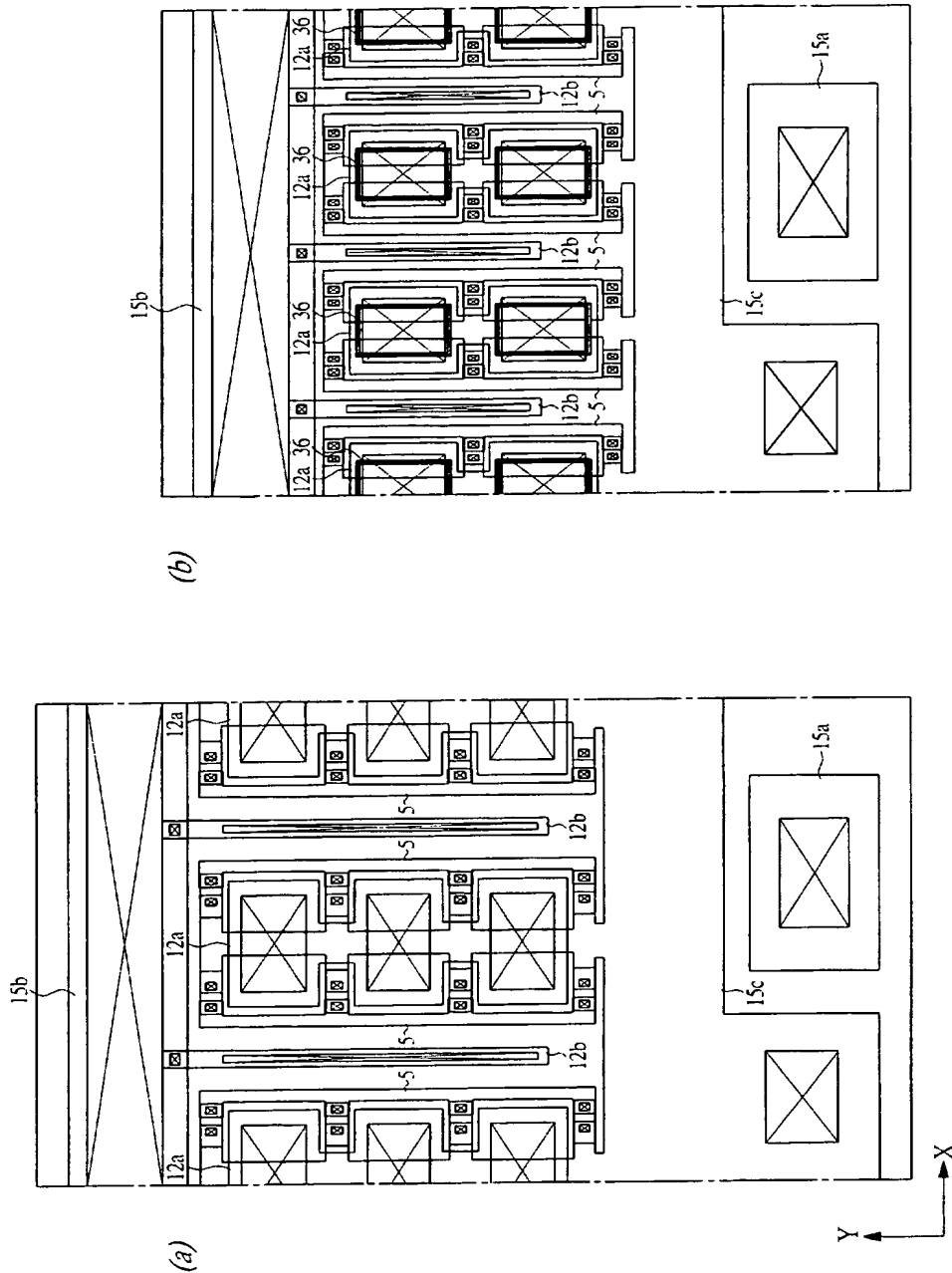
【図 14】

図 14



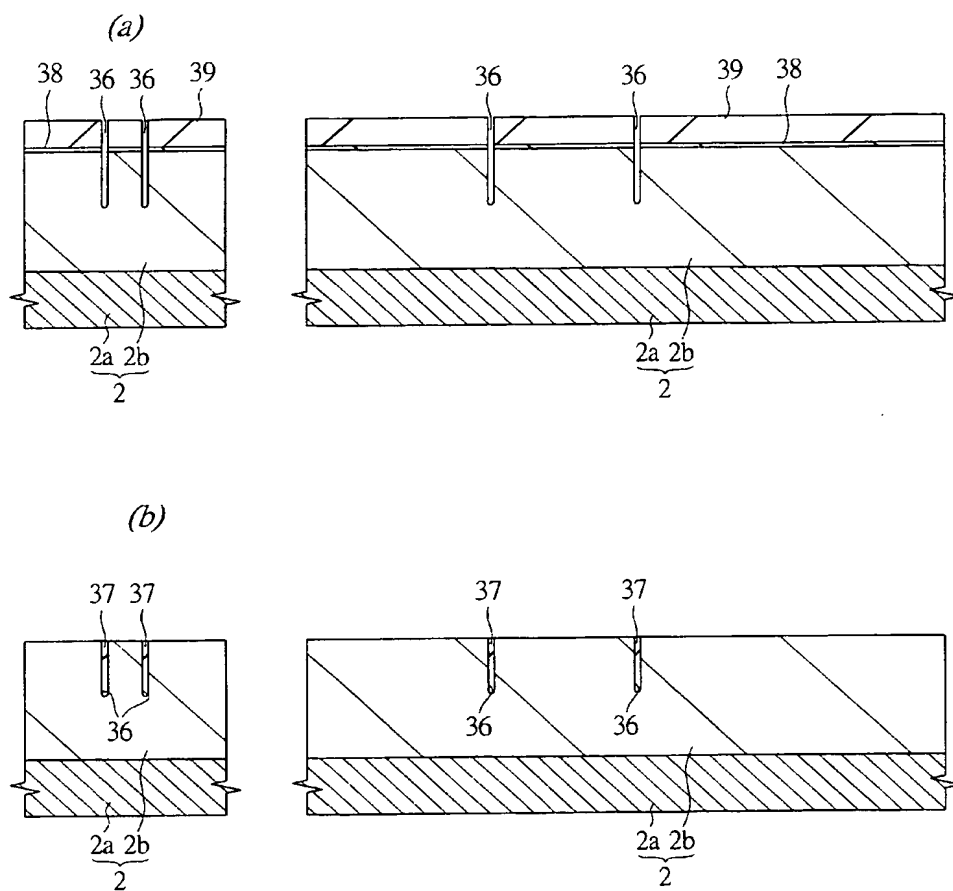
【図 15】

図 15



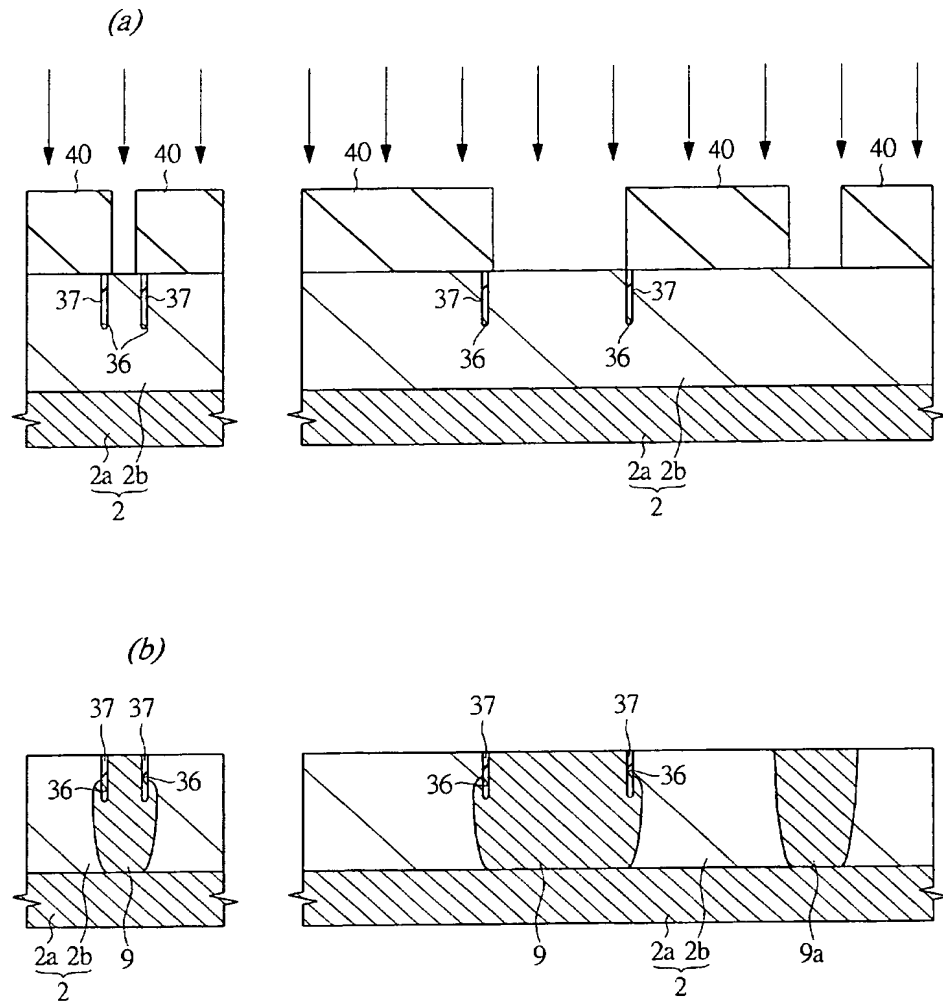
【図 16】

図 16



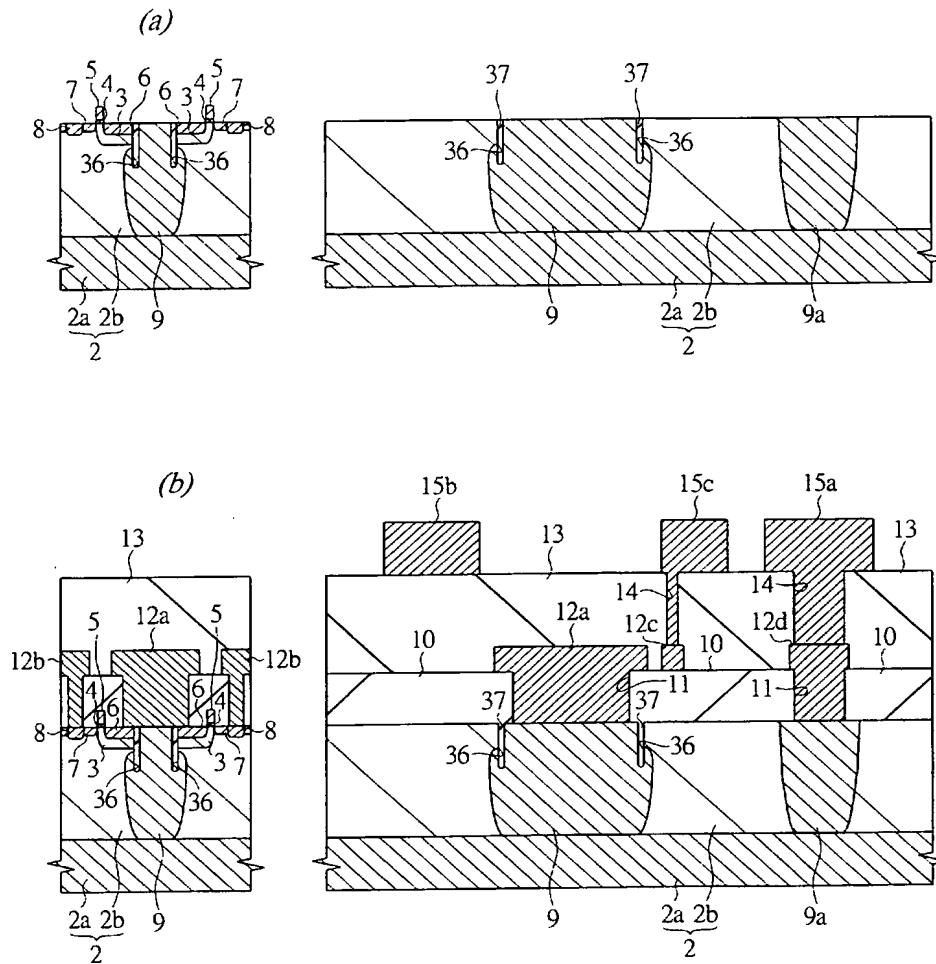
【図 17】

図 17



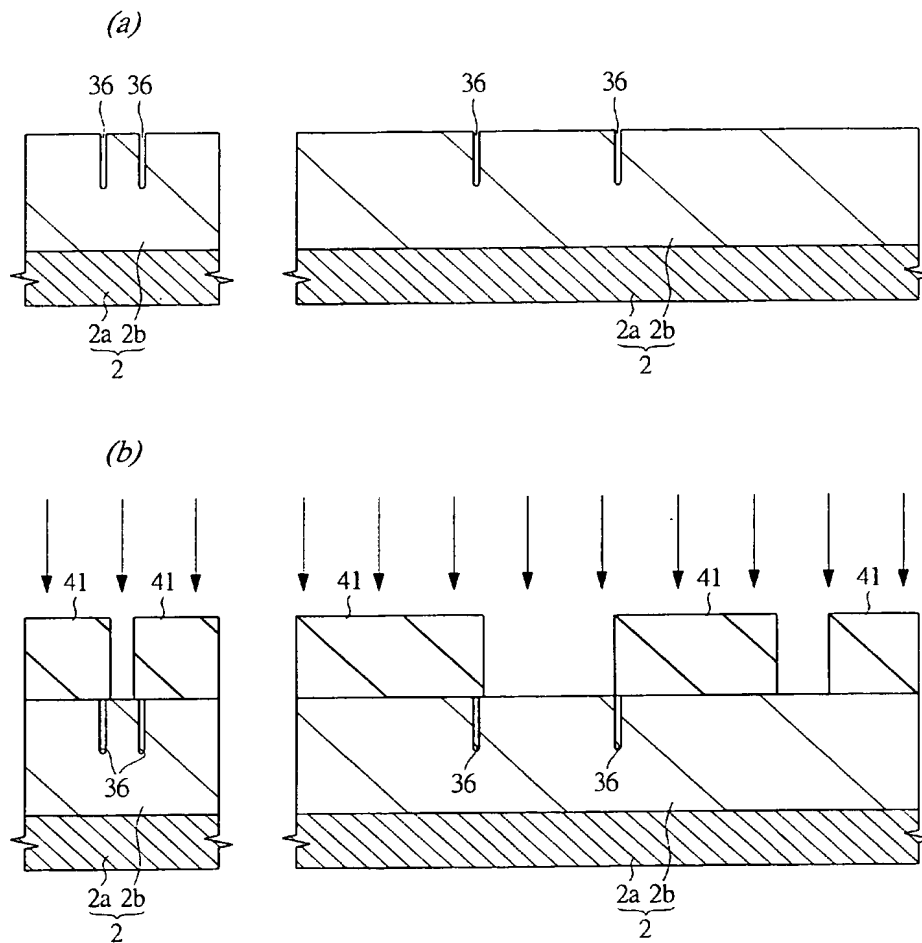
【図 18】

図 18



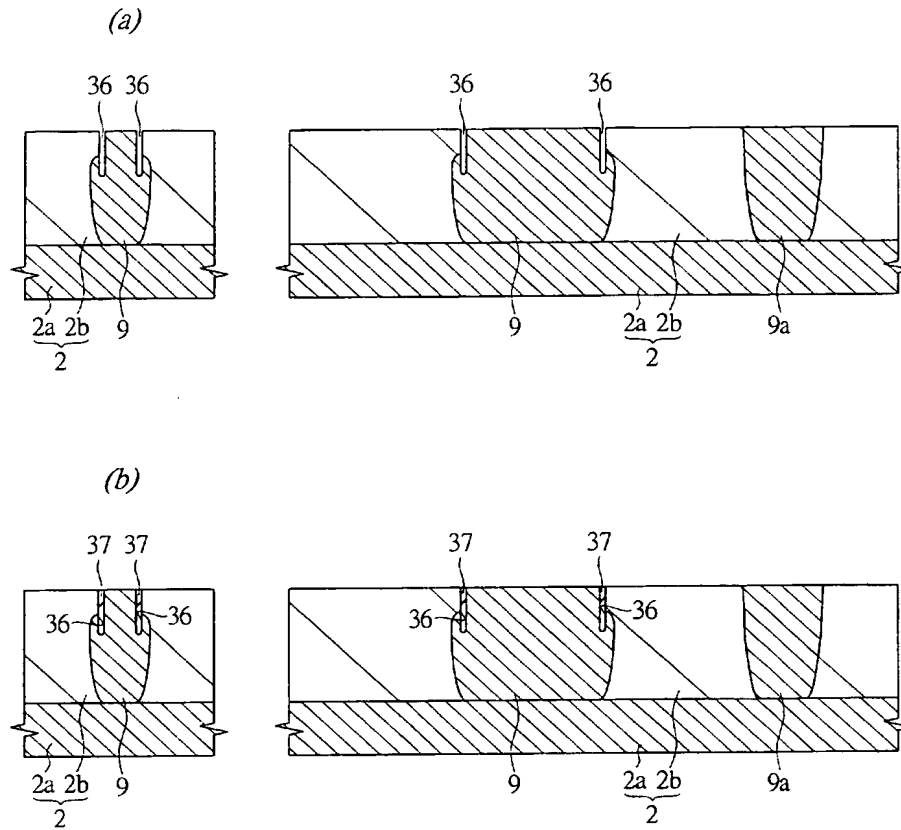
【図 19】

図 19



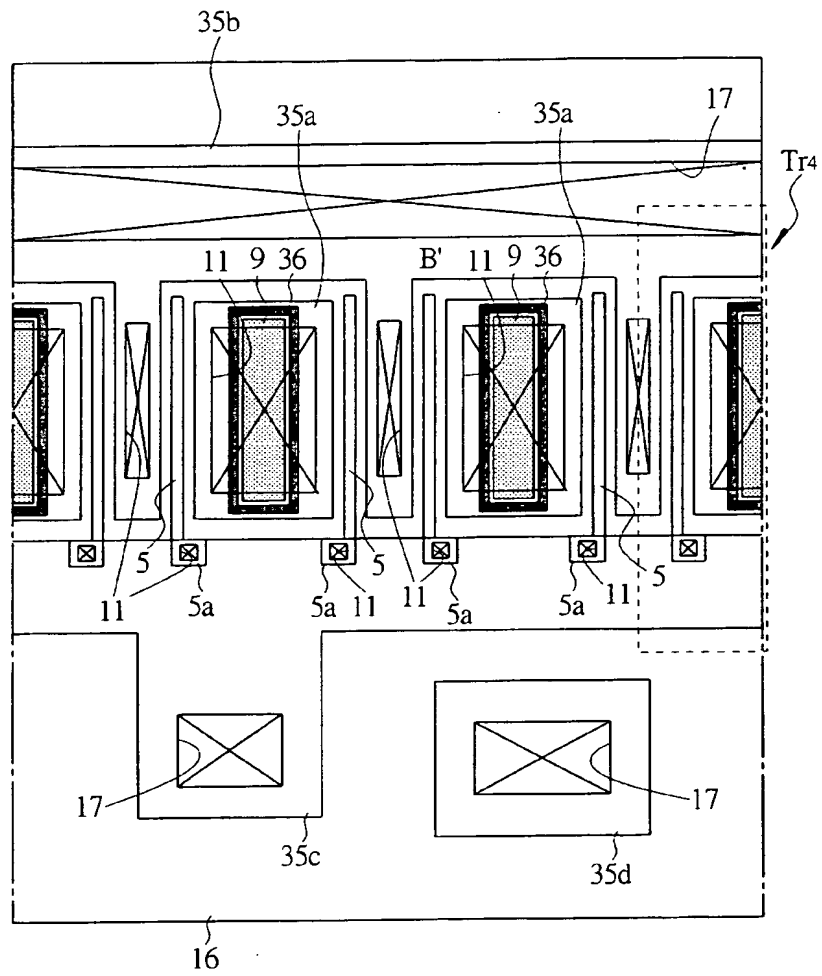
【図 20】

図 20



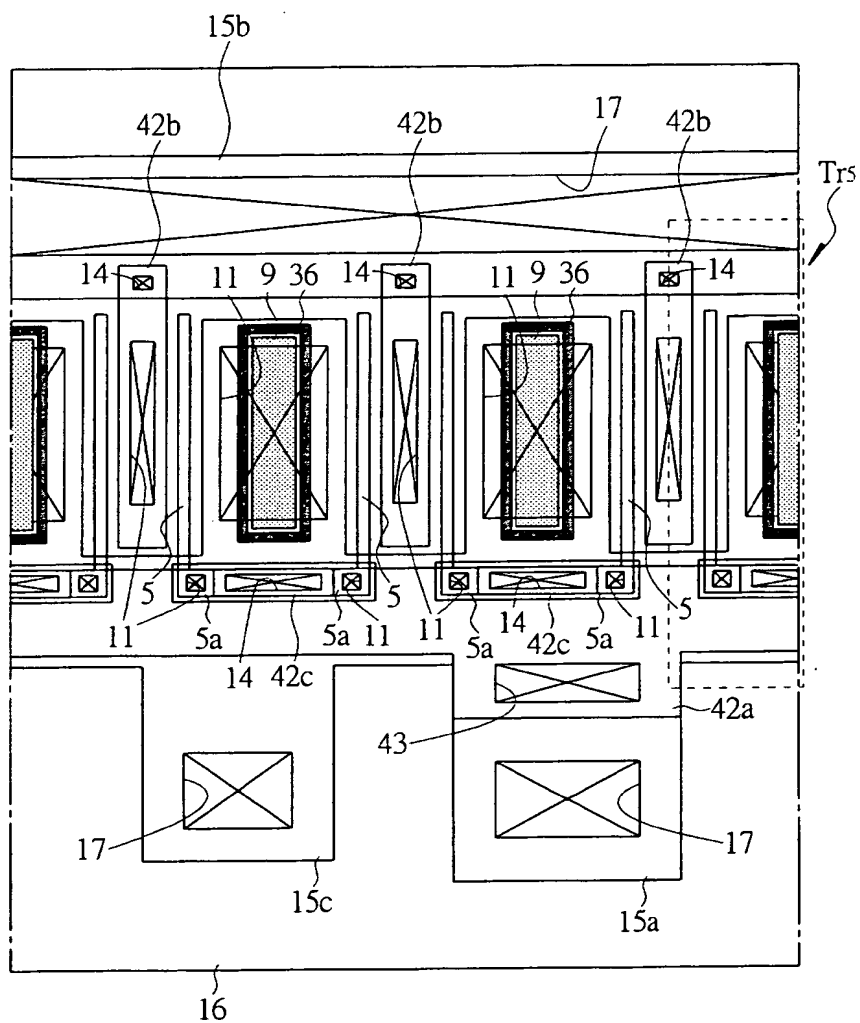
【図 21】

図 21



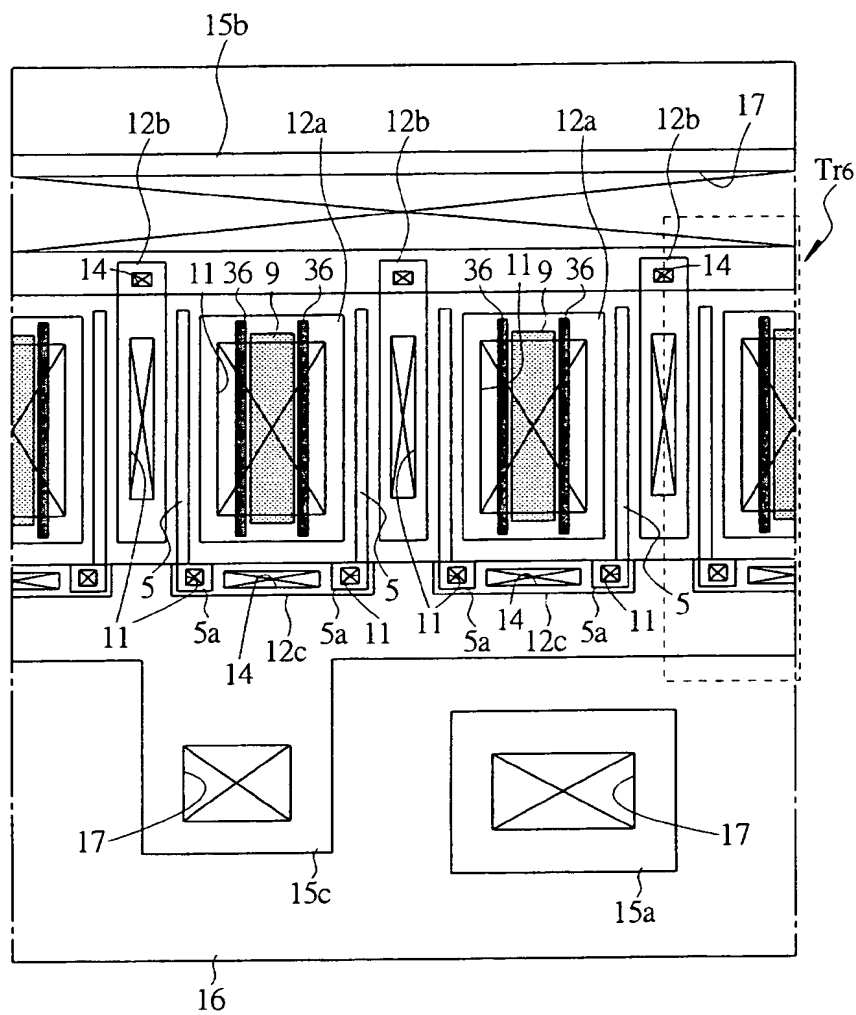
【図 22】

図 22



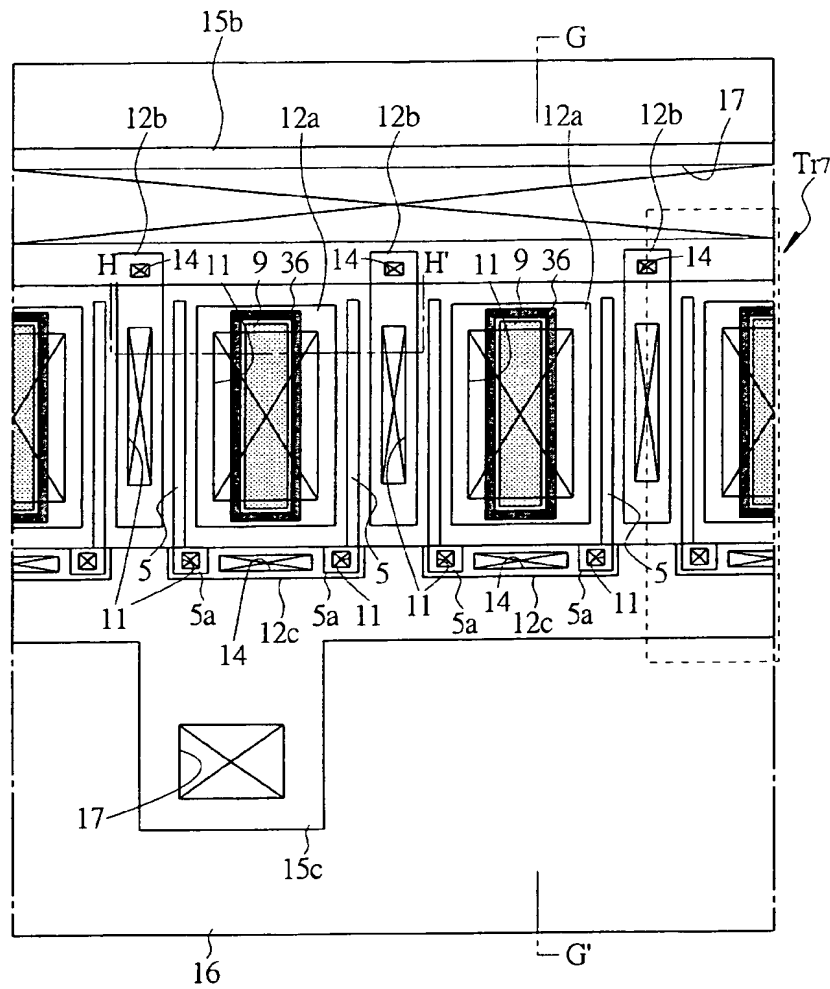
【図 23】

図 23

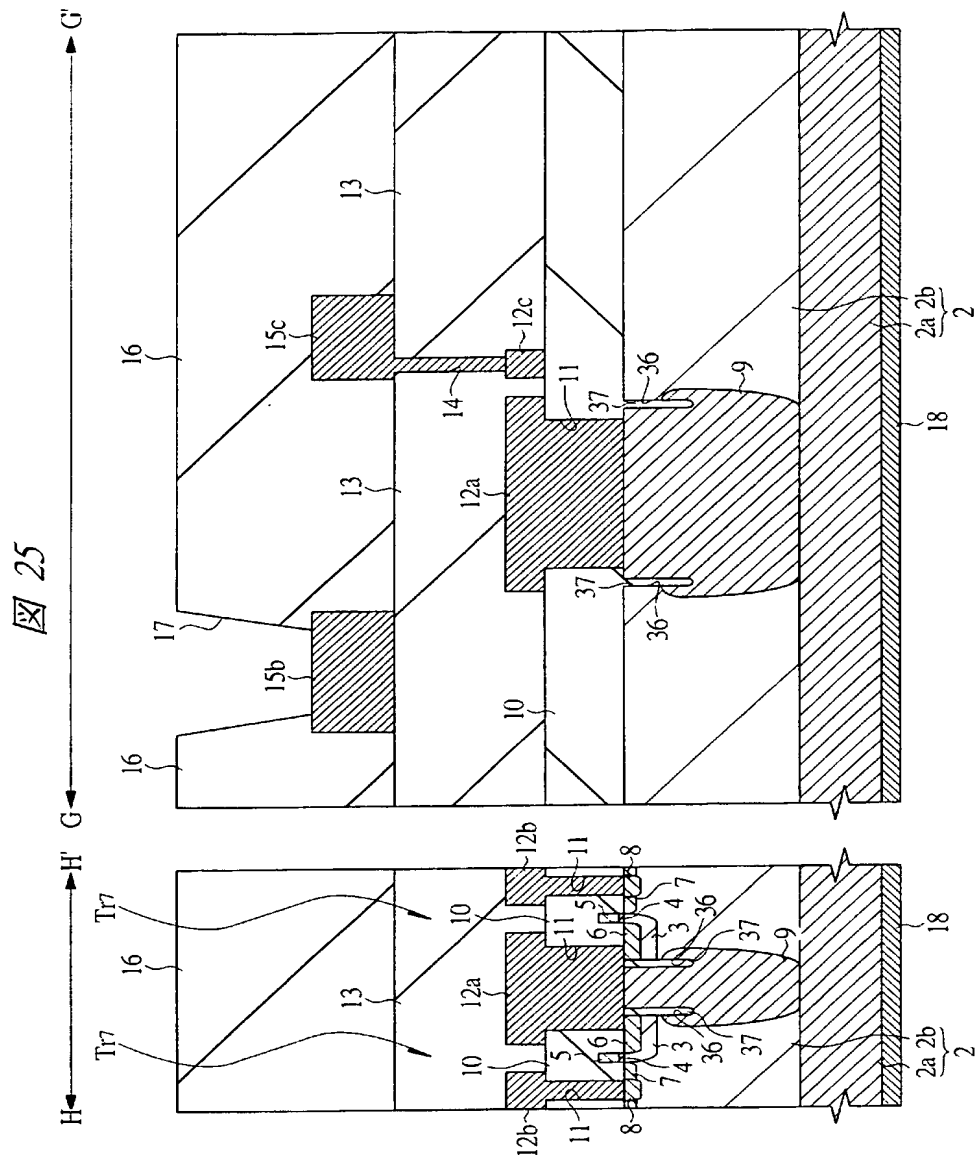


【図 24】

図 24



【図 25】



【書類名】 要約書

【要約】

【課題】 LDMOSの高周波電力利得を向上させることのできる技術を提供する。

【解決手段】 電極パッドを覆うパッシベーション膜の表面からシリコン基板の裏面までの距離を $200\mu\text{m}$ 以下とする、あるいは p^+ 型ソース打ち抜き層9を形成する際に p 型不純物を拡散させる箇所と第3LDMOST_{Tr3}のチャネル領域との間に半導体層2bの表面からシリコン基板2aに向かって絶縁膜または導電体が埋め込まれた $2\mu\text{m}$ 以上の深さの溝36を形成し、この溝36によって p^+ 型ソース打ち抜き層9のチャネル領域への広がりを抑えることにより、ソースのインダクタンスまたは抵抗を下げて、高周波電力利得を向上させる。

【選択図】 図10

【書類名】 出願人名義変更届（一般承継）
【整理番号】 H03001441
【提出日】 平成16年 3月 9日
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2003- 93783
【承継人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
 【識別番号】 100080001
 【弁理士】
 【氏名又は名称】 筒井 大和
【提出物件の目録】
 【包括委任状番号】 0308729
 【物件名】 承継人であることを証明する登記簿謄本 1
 【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4
月 1 1 日付け提出の会社分割による特許権移転登録申請書を援用
する。
 【物件名】 権利の承継を証明する承継証明書 1
 【援用の表示】 特願 2 0 0 3 - 8 4 2 2 0 同日付提出
の出願人名義変更届（一般承継）を援用する。

特願 2 0 0 3 - 0 9 3 7 8 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地
氏 名 株式会社日立製作所

特願 2 0 0 3 - 0 9 3 7 8 3

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ